

INSTITUTO TECNOLÓGICO Y DE ESTUDIOS SUPERIORES DE OCCIDENTE

Reconocimiento de validez oficial de estudios de nivel superior según acuerdo secretarial
15018, publicado en el Diario Oficial de la Federación el 29 de noviembre de 1976.

Departamento de Electrónica, Sistemas e Informática

MAESTRÍA EN DISEÑO ELECTRÓNICO



REPORTE DE FORMACIÓN COMPLEMENTARIA EN ÁREA DE CONCENTRACIÓN EN DISEÑO DE CIRCUITOS INTEGRADOS

Trabajo recepcional que para obtener el grado de

MAESTRO EN DISEÑO ELECTRÓNICO

Presenta: Edgar Oropeza Guzmán

San Pedro Tlaquepaque, Jalisco. Enero 2017.

Contenido

1. Introducción	1
2. Resumen de los proyectos realizados	3
2.1. I/O BUFFER CON SELECTOR DE IMPEDANCIAS	4
2.1.1 Introducción	4
2.1.2 Antecedentes	4
2.1.3 Solución Desarrollada	5
2.1.4 Análisis de Resultados	6
2.1.5 Conclusiones	6
2.2. BUFFER DE RETARDO DE PROPAGACIÓN NULO (ZERO-DELAY)	7
2.2.1 Introducción	7
2.2.2 Antecedentes	7
2.2.3 Solución Desarrollada	8
2.2.4 Análisis de Resultados	9
2.2.5 Conclusiones	10
2.3. GENERADOR DE RELOJ CON MODULACIÓN DE ESPECTRO DISPERSO	10
2.3.1 Introducción	10
2.3.2 Antecedentes	11
2.3.3 Solución Desarrollada	12
2.3.4 Análisis de Resultados	13
2.3.5 Conclusiones	13
3. Conclusiones	15
Apéndices	17
A. I/O BUFFER CON SELECTOR DE IMPEDANCIAS PARA 400MHz CON TECNOLOGÍA CMOS DE 0.35 μ m	19
B. DISEÑO DE UN ZERO-DELAY BUFFER	24
C. GENERADOR DE RELOJ CON MODULACIÓN DE ESPECTRO DISPERSO	57

1. Introducción

El presente documento se presenta con la finalidad de obtener el grado de Maestro en Diseño Electrónico bajo la modalidad de Proyectos de Impacto en un Área de Concentración por el Instituto Tecnológico y de Estudios Superiores de Occidente (ITESO). En él, se exponen los tres proyectos más representativos del área de concentración de Diseño de Circuitos Integrados Analógicos elaborados a lo largo del programa de maestría:

- Diseño de un buffer de entrada/salida (IO) con selector de impedancias.
- Diseño de un buffer de retardo de propagación nulo (zero delay).
- Diseño de un generador de reloj con modulación de espectro disperso.

Los proyectos listados permitieron el desarrollo de las competencias y los conocimientos requeridos para el diseño y caracterización de circuitos integrados a nivel profesional, lo cual facilitó al alumno su incursión y crecimiento en el ámbito laboral de la industria electrónica local.

El desarrollo de dichos proyectos fue el resultado del trabajo colaborativo con los alumnos y profesores del programa de posgrado, quienes amablemente pusieron a disposición del alumno su experiencia para lograr los objetivos del curso y, al mismo tiempo, incentivaron el desarrollo de nuevas ideas con aplicación directa en productos comerciales.

2. Resumen de los proyectos realizados

Hoy en día los circuitos analógicos continúan siendo imprescindibles en el diseño de circuitos integrados (CI). Estos representan la interfaz entre el mundo analógico y los circuitos digitales de procesamiento de datos. Desde aplicaciones de control y comunicaciones hasta aplicaciones médicas y de entretenimiento, los circuitos integrados requieren de circuitos analógicos capaces de procesar señales del orden de Gigahertz (GHz), con un bajo consumo de energía y con un uso eficiente del área dentro del CI. Esto convierte el diseño analógico en una disciplina de compromisos, concesiones y análisis de riesgos.

Los proyectos aquí expuestos permitieron explorar el flujo de diseño de un circuito analógico, partiendo desde la definición del concepto y la arquitectura, el diseño de esquemáticos y la caracterización “pre-layout”, hasta la extracción de elementos parásitos y la correspondiente simulación y validación “post-layout” del circuito.

El primero de los proyectos se enfocó en el diseño de un bloque fundamental dentro de las interfaces de memoria DDR2 como lo es el IO driver o IO buffer. En él se propuso un diseño con un sistema de calibración para el manejo de una línea de transmisión con impedancia característica variable. Para el segundo y tercer proyecto se desarrollaron bloques típicos de una red de distribución de reloj que permiten minimizar el retardo de propagación de dichas señales y reducir las emisiones de interferencia electromagnética (EMI) mediante técnicas de modulación.

2.1. I/O Buffer con Selector de Impedancias

En este proyecto se presenta la arquitectura de un buffer IO con la capacidad de manejar diferentes impedancias de carga y modo de bajo consumo de potencia (power down). Debido a la fácil disponibilidad para su fabricación, alta densidad de integración y bajo costo de la tecnología Complementary Metal Oxide Transistor (CMOS), el diseño se realizó con esta tecnología en 0.35um propiedad de TSMC y se probó satisfactoriamente con simulaciones a 400MHz, 3V Vdd y 27C.

2.1.1 Introducción

Los circuitos de IO permiten la conexión entre los circuitos procesadores de datos y los bloques periféricos o la conexión entre dos o más circuitos integrados. A través de ellos se logra el correcto intercambio de información entre los diferentes circuitos mediante la transmisión y recepción de tramas de bits.

Visto de forma simple, el IO buffer es una celda inversora con la capacidad de manejar corrientes del orden de decenas o centenas de mA (dependiendo de la carga) a frecuencias del orden de cientos de MHz. El reto de diseño consistió en dimensionar los transistores de forma adecuada para cumplir con los requerimientos de potencia y velocidad de transmisión, así como proponer una solución de layout óptima que permitiera reducir los elementos parásitos al mínimo.

2.1.2 Antecedentes

El continuo incremento en la velocidad de transmisión de datos y la capacidad de manejo de carga por parte de los circuitos integrados ha llevado a poner especial interés en el diseño y desarrollo de arquitecturas de IO complejas pero eficientes. En este proyecto se expuso un driver I/O basado en cadenas de inversores inteligentemente dimensionados, cuya función es sintonizar de manera adecuada su resistencia de salida. Por requerimientos de especificación, el driver debió acoplarse a líneas de transmisión de diferentes impedancias seleccionables ($Z_o = 100\Omega$, 54Ω , 50Ω y 46Ω), modeladas con un retardo de 1ns, terminadas en una capacitancia de 8pF y manejar señales de hasta 400MHz.

I/O BUFFER CON SELECTOR DE IMPEDANCIAS

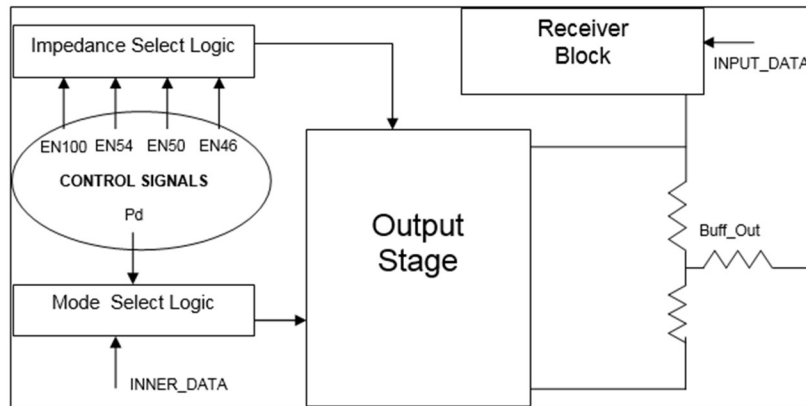


Fig 2-1 Diagrama a bloques del buffer IO con selector de impedancias para tecnología CMOS

De igual forma, se creyó conveniente imponer como requerimiento de diseño un modo de bajo consumo de potencia dentro de la funcionalidad del buffer. Esto permitiría un uso eficiente de la energía en situaciones donde la transmisión de datos fuese esporádica o nula.

2.1.3 Solución Desarrollada

La arquitectura propuesta para el driver se muestra en la Fig 2-1. Esta consistió en una etapa de salida conectada directamente a la carga y dos etapas de lógica combinacional, las cuales permitieron: seleccionar la configuración adecuada dependiendo del valor de impedancia en la línea de transmisión e implementar la funcionalidad de bajo consumo. Por otro lado, en el núcleo del receptor se encuentra un inversor con histéresis tipo Schmitt Trigger, con la finalidad de evitar falsas transiciones ocasionadas por ligeras variaciones en la señal de entrada. Los detalles específicos del dimensionamiento y las etapas de diseño se pueden encontrar en la sección II del Apéndice A.

El floor-plan y diseño del layout siguió la figura típica de un IO buffer comercial. Los 5 bloques que conforman toda la estructura se alinearon de forma vertical dependiendo de su proximidad con el pad de salida y la cantidad de interconexiones entre ellos. Los rieles de alimentación se dispusieron a ambos costados del área definida para que fueran accesibles a todos los bloques por igual. La geometría final fue resultado de la restricción impuesta de un ancho total no mayor a 50 μm y una altura libre.

I/O BUFFER CON SELECTOR DE IMPEDANCIAS

A lo largo del diseño se puede observar el uso de celdas unitarias con un layout optimizado, las cuales fueron replicadas para distribuir de manera uniforme el flujo de corriente y reducir los efectos no deseados de mismatch. En las etapas de lógica combinacional, las técnicas de layout como interdigitación, centroide común y uso de elementos “dummies” fueron empleadas en la distribución e interconexión de las compuertas lógicas. Más detalles se pueden encontrar en el Apéndice A.

2.1.4 Análisis de Resultados

La figura de mérito típica para el medir el desempeño de un driver de IO es el diagrama de ojo; de él se puede extraer información valiosa como los tiempos de jitter y los puntos de cruce en las transiciones de las señales. El objetivo del proyecto se enfocó en medir la degradación de los valores característicos del buffer al incluir la contribución de los elementos parásitos ocasionados por las geometrías del layout. Como se puede observar en el Apéndice A, en las simulaciones post-layout se registró un deterioro de hasta 26% en los valores de jitter y de hasta 39% en el voltaje de cruce al compararlas con las mediciones pre-layout.

El retardo desde la entrada de datos hasta el extremo “near end” del buffer estuvo dentro del rango de 2.85ns a 3.08ns para el mejor y el peor caso registrados (mínima y máxima impedancia de línea respectivamente). Por otro lado, las mediciones de jitter máximas medidas en la simulación alcanzaron los 4.8ps (para una impedancia de 100 Ω) y un consumo de potencia rms de hasta 59mW (para una impedancia de 46 Ω). Diseños posteriores de la topología del buffer registraron valores superiores de jitter (20ps) y potencia rms (300mW) debido a la inclusión de módulos adicionales como “level-shifters” y lógica de selección para modo de “power-down”.

2.1.5 Conclusiones

La arquitectura propuesta, a pesar de considerarse sencilla, permitió tener un tiempo de diseño corto y satisfacer los requerimientos en su totalidad. Soluciones más complejas recomiendan el uso de “level-shifters” para extender las posibilidades del IO buffer y permitir el

BUFFER DE RETARDO DE PROPAGACIÓN NULO (ZERO-DELAY)

manejo de dos o más voltajes de trabajo diferentes, característica típica en los diseños comerciales de hoy en día.

El mayor aprendizaje de este proyecto consistió en aprender sobre el uso de herramientas de la suite de Cadence® como Virtuoso para extraer los elementos parásitos de las geometrías del layout. El archivo con la descripción de estos se incorporó a las simulaciones del circuito con SpectreS para medir su impacto en el desempeño general del bloque.

2.2. Buffer de Retardo de Propagación Nulo (Zero-Delay)

El proyecto final de la materia de Diseño Analógico II consistió en la implementación pre-layout de un circuito LVCMOS zero-delay buffer, haciendo uso de la misma tecnología CMOS de TSMC del proyecto anterior. Una de las principales aplicaciones de este tipo de circuitos se encuentra en las redes de distribución de reloj de los procesadores comerciales de alto desempeño.

2.2.1 Introducción

El principal reto de este proyecto consistió en el diseño y simulación de un sintetizador de frecuencia basado en un lazo de seguimiento de fase o PLL (Phase-Locked Loop). Es en este tipo de circuitos en donde la teoría de control moderno y la microelectrónica se encuentran en una aplicación práctica, con un alto índice de aceptación y con numerosos avances desde su aparición en los circuitos integrados.

Con el objetivo de familiarizarse con las consideraciones de diseño típicas en la industria, parte de los requerimientos del proyecto incluyeron, entre otras cosas: la inclusión del modelo eléctrico del empaquetado en la simulación del circuito, la validación del desempeño en un rango amplio de temperatura (-40C a 85C), así como la compatibilidad con técnicas de modulación de espectro disperso. Los detalles, modos de operación y lista completa de requerimientos se pueden encontrar en la introducción del Apéndice B.

2.2.2 Antecedentes

BUFFER DE RETARDO DE PROPAGACIÓN NULO (ZERO-DELAY)

Idealmente, las transiciones de la señal de reloj deberían ocurrir en el mismo instante de tiempo a lo largo de toda la superficie del circuito integrado en donde esta señal es requerida. Sin embargo, el tiempo real de dichas transiciones varía como consecuencia del retardo en las líneas de distribución del reloj. El problema de sincronización que genera esta variación, mejor conocida como “clock skew”, se vuelve más significativo a medida que el tamaño del circuito integrado aumenta. Los primeros sistemas de distribución de reloj, llamados de línea única o “single-wire”, se volvieron obsoletos debido a esta limitante.

Aunque es prácticamente imposible crear un sistema de distribución de reloj sin retardo, es posible hacer uso de la periodicidad de esta señal para diseñar buffers que aparentan un retardo de propagación nulo. Los circuitos PLL son el núcleo de estos buffers y su principal función es agregar el retardo suficiente a la señal de reloj para igualarlo en tiempo a la duración de un ciclo de dicha señal. La principal ventaja en el uso de un PLL es que, al usarlos junto con divisores de frecuencia en el lazo de control, pueden generar señales de reloj con una frecuencia múltiplo de la referencia externa. Por otro lado, su principal desventaja es el ruido de fase o jitter presente en su salida, ocasionado por variaciones en las fuentes de alimentación y/o ruido de sustrato acoplado al lazo de control.

2.2.3 Solución Desarrollada

La arquitectura completa del sistema incluyó un circuito sintetizador de frecuencia, multiplexores analógicos, divisores de frecuencia, lógica combinacional para la selección el modo de operación y una etapa de buffers para manejar la capacitancia de 30pF presente en la salida. El sintetizador basado en un circuito PLL consistió en un detector de fase (PFD), una bomba de carga de corriente (CP) y un filtro de lazo. Debido a la ubicación del polo en el origen inherente en la función de transferencia del VCO, el orden del sistema es siempre de un orden mayor a la magnitud del filtro del lazo. Para este proyecto se eligió un filtro pasivo de primer orden, obteniendo así un PLL tipo II (de segundo orden). Las ecuaciones de diseño tomaron en cuenta valores característicos del sistema como la resistencia y capacitancia del filtro, la magnitud de corriente de carga y descarga del CP y el rango de frecuencias de operación. Los detalles específicos se pueden encontrar en la sección de Cálculos del Apéndice B.

BUFFER DE RETARDO DE PROPAGACIÓN NULO (ZERO-DELAY)

A pesar de que el diseño de los bloques individuales requirió de una parte significativa del tiempo del proyecto, fue la interconexión de estos bloques la que origino grandes retos y ultimadamente una redefinición de la arquitectura del sistema. La topología del CP requería de una señal de control complementaria proveniente del PFD. La introducción de un inversor en el camino de dicha señal introducía retardos y desfases respecto a la otra señal de control, lo que impedía el correcto “amarre” del PLL. Mediante el uso de compuertas de transmisión y una topología psuedo-nmos, se creó una interfaz de conexión entre las etapas del PFD y CP que logró compensar los retardos en las señales de control. Véase la Figura 15 del Apéndice B.

2.2.4 Análisis de Resultados

Las figuras 26 a 36 del Apéndice B muestran los resultados de simulación para diferentes frecuencias de reloj, modos y temperaturas de operación. En todos los casos se observa como después de cierto tiempo el voltaje de control del VCO llega a un valor estable, indicando el amarre del sistema. Para una frecuencia de reloj de 100MHz y una capacitancia de carga de 30pF en cada uno de los 8 buffers de los dos bancos de salida; el voltaje control cambio de 1V a 0.73V en 5.3us, con un consumo de corriente promedio de 204mA. El error de fase estático (SPO) medido en el flanco de bajada de la señal de salida fue de 270ps, mientras que el jitter total fue de 40ps; cumpliendo así con la mayoría de las especificaciones de diseño propuestas al inicio del proyecto.

El SPO se reportó 120ps arriba de la especificación debido a que no se consideró la capacitancia de carga que representarían los bloques secundarios como buffers de salida, multiplexores y selectores en las ecuaciones de diseño del PLL. De igual forma, al variar la temperatura de simulación (de -35C a 70C), las mediciones de jitter y SPO rebasaban las especificaciones debido principalmente a las variaciones de conductividad en los transistores.

La introducción del modelo eléctrico del empaquetado TSSOP-16 en las simulaciones del sistema introdujo un factor de error que imposibilitaba el amarre del PLL. Análisis más detallados de dicho modelo mostraron que en las frecuencias de interés (80 – 800 MHz), se producía un efecto de amplificación en la señal de retroalimentación. Aunque este efecto podía ser compensado internamente en el sistema, se optó por no incluir el modelo del empaquetado en las simulaciones debido a la falta de tiempo.

2.2.5 Conclusiones

El diseño y simulación de un sintetizador de frecuencias basado en un circuito PLL es un ejercicio que se puede dividir en tres etapas: diseño de la arquitectura, simulación de los bloques individuales y simulación del sistema completo. Para el desarrollo de la primera fase se empleó el uso de modelos comportamentales descritos con el lenguaje verilogA para representar cada uno de los bloques del PLL. Estos modelos permitieron reducir el tiempo de desarrollo al poder validar las ecuaciones de diseño con formas de onda producidas por modelos lógico-matemáticos. Sin embargo, la omisión de los efectos no ideales en dichos modelos como las capacitancias de entrada y de salida, anchos de banda y retardos de propagación, entre otros, ocasionaron que las mediciones de las figuras de mérito estuvieran fuera de especificaciones en la tercera etapa de diseño.

A pesar de lo anterior, el proyecto permitió demostrar la flexibilidad característica de un sintetizador de frecuencias al poder operar en el rango de frecuencias preestablecido (20 – 80 MHz) y así lograr el objetivo de un buffer de zero-delay.

2.3. Generador de Reloj con Modulación de Espectro Disperso

El presente proyecto se presentó como requisito para la obtención del diploma de la Especialidad en Diseño de Circuitos Integrados por parte del ITESO. A pesar de que el proyecto consistió en el diseño de un generador de reloj basado en un PLL con la funcionalidad de modulación de espectro disperso, este reporte aborda solamente el diseño y simulación del circuito modulador. A diferencia de los dos proyectos anteriores, este circuito se diseñó con una tecnología AMIS CMOS de 0.5um propiedad del fabricante MOSIS. Los parámetros de esta tecnología pueden encontrarse en el Apéndice C.

2.3.1 Introducción

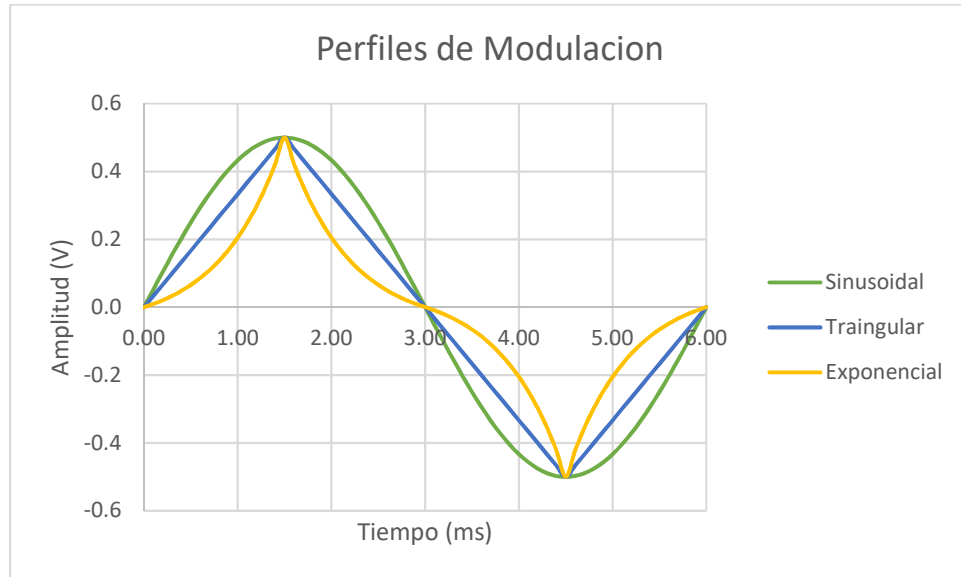


Fig 2-2 Perfiles de modulación sinusoidal, triangular y exponencial.

El objetivo detrás de la modulación de espectro disperso es el de reducir la emisión de interferencia electromagnética típica en los circuitos generadores de señales de reloj. La frecuencia de este tipo de señales se modula de acuerdo a perfiles con formas de onda particulares, lo que permite la dispersión de la energía de los componentes armónicos en un mayor número de componentes de banda lateral. Aunque la cantidad de energía radiada por el sistema es la misma, esta se reparte en un rango de frecuencias más amplio, permitiendo así que la emisión radiada en cualquier frecuencia en específico sea menor al compararla con un esquema sin modulación.

El circuito modulador consistió de un oscilador de relajación, un filtro pasa-bandas y bloques transconductores de suma; los cuales, en conjunto, permitieron generar la forma de onda propuesta por los asesores de este proyecto. Dado que la frecuencia de modulación seleccionada fue relativamente baja (30 – 33 KHz), técnicas especiales de diseño analógico como reducción de transconductancias, multiplicación de impedancias y modo de corriente se emplearon para evitar el uso de elementos pasivos con dimensiones excesivas como parte de la solución propuesta.

2.3.2 Antecedentes

Las primeras propuestas de perfiles de modulación se originaron a partir de funciones matemáticas básicas como la función seno, la función triangular y la función exponencial Fig 2-2.

GENERADOR DE RELOJ CON MODULACIÓN DE ESPECTRO DISPERSO

Sin embargo, la generación de nuevos perfiles de modulación es un campo abierto a la experimentación e innovación. La correcta selección de parámetros como frecuencia y amplitud de dichos perfiles puede producir cambios significativos en la emisión de energía del sistema. La idea fundamental es reducir la cantidad de EMI tanto en la componente fundamental como en los distintos armónicos de la señal a modular.

Es bien sabido que la energía en el espectro de la señal modulada tiende a concentrarse en las frecuencias correspondientes a los puntos de la señal de modulación donde la razón de cambio con respecto al tiempo es mínima. Ingenieros de Lexmark International encontraron una forma de onda capaz de producir una dispersión semi-plana a lo largo del rango de frecuencias de los componentes de banda lateral de la señal modulada (ver la sección de Referencias del Apéndice C). A través de un exhaustivo y riguroso análisis matemático, los asesores de este proyecto propusieron un perfil de modulación similar al de Lexmark a partir de la combinación lineal de n funciones continuas de primer orden. Todos los detalles de la implementación se pueden encontrar en el Capítulo 3 del Apéndice C.

2.3.3 Solución Desarrollada

Con el propósito de facilitar la integración del circuito modulador al generador de reloj del proyecto global, el procesamiento del perfil de modulación se efectuó bajo el esquema de modo de corriente. De esta forma, sería posible modular la frecuencia de la señal de reloj al modificar la corriente de polarización en una de las celdas de retardo del VCO dentro del PLL.

La figura 3.4 del Apéndice C muestra el diagrama a bloques del circuito modulador. El oscilador de relajación genera una señal de voltaje periódica con una frecuencia de 33KHz en su nodo de salida que posteriormente se convierte en una señal de corriente gracias al bloque transconductor g_{m1} . El filtro pasa-bandas en modo de corriente extrae la frecuencia fundamental de la señal proveniente del bloque anterior y genera una señal de voltaje en su nodo de salida. Finalmente, el bloque de suma formado por los transconductores g_{m2} y g_{m3} , convierte las señales de voltaje presentes en los nodos de salida del oscilador y del filtro en señales de corriente y realiza la suma de ambas para generar la forma de onda deseada.

GENERADOR DE RELOJ CON MODULACIÓN DE ESPECTRO DISPERSO

La totalidad del circuito modulador requirió de 46 transistores CMOS y 2 capacitores repartidos de la siguiente forma: bloques transconductores 7 transistores, filtro pasa-bandas 19 transistores y un capacitor, oscilador de relajación 20 transistores y un capacitor.

2.3.4 Análisis de Resultados

Aunque la frecuencia de oscilación y la frecuencia central del filtro pasa-bandas se midieron en 32.96KHz y 33.27KHz respectivamente (bastante cercanas a la especificación de 33.33KHz), el factor de calidad del filtro se alejó más del objetivo inicial (6 vs 8). Dicha disminución se debió al uso de escaladores de impedancia con factores de multiplicación del orden de 36 para la implementación del capacitor en el filtro pasa-bandas. Esta técnica permite disminuir el área total del elemento pasivo a expensas de una reducción en su factor de calidad.

La verificación del esquema de modulación llevó a cabo mediante un sistema en lazo abierto en donde la salida del modulador se conectó a un modelo comportamental del VCO (escrito en lenguaje verilogA) con el fin de simplificar el ejercicio de verificación. Al prescindir del lazo de control del PLL, se pudo probar el esquema de modulación usando diferentes frecuencias de reloj de forma rápida y eficiente.

La figura 3.18 del Apéndice C muestra el espectro en frecuencia de una señal de reloj a 50 MHz con y sin modulación de espectro disperso. En ella se puede observar la reducción de hasta 22 dB en la amplitud máxima del 7º componente armónico de la señal de reloj a expensas de un incremento en el ancho de banda de 15 MHz. Los resultados obtenidos mediante la simulación del circuito eléctrico en SPICE tuvieron una correlación directa con los cálculos obtenidos a través del análisis matemático utilizando MATLAB. Con la excepción del primer armónico, las diferencias entre las dos herramientas no excedieron el 5%.

2.3.5 Conclusiones

Debido a las limitantes de tiempo, fue imposible simular el circuito de modulación en conjunto con el generador de reloj para este proyecto. Esto hubiera permitido verificar que la estabilidad y la función de transferencia del PLL no se vieran afectadas por la inclusión de la señal de modulación en el lazo de control.

GENERADOR DE RELOJ CON MODULACIÓN DE ESPECTRO DISPERSO

Sin embargo, las simulaciones realizadas permitieron demostrar la efectividad del perfil de modulación propuesto, así como encontrar áreas de mejora en el circuito eléctrico. Dichas mejoras fueron descritas en las conclusiones del Apéndice C y propuestas como trabajo a futuro para la fabricación del circuito.

3. Conclusiones

Los retos y aprendizajes que el alumno experimentó durante el desarrollo de los proyectos de este reporte le permitieron reforzar las habilidades requeridas para el diseño de circuitos integrados analógicos. En esta disciplina se exige, además de un entendimiento claro de física de semiconductores, teoría de circuitos analógicos y simulaciones a nivel transistor; la capacidad de generar modelos a partir de código para la verificación de los sistemas y arquitecturas.

En la actualidad, casi todo circuito analógico contiene lógica digital y la proporción de ésta se incrementa día a día dentro de los circuitos integrados. Lo anterior se debe a la digitalización de funciones analógicas o la implementación de estructuras de control dentro de los circuitos analógicos, con la finalidad de volverlos más flexibles y eficientes. Aunque el diseño analógico sigue siendo imprescindible, la industria actual demanda conocimientos y habilidades de diseño de señal mixta (mixed-signal). Los proyectos aquí expuestos motivaron al alumno a conocer más sobre esta disciplina en su desarrollo posterior.

Finalmente, es necesario agradecer la continua guía de los asesores y profesores del programa de maestría. Gracias a su mentoría y al trabajo colaborativo con los demás integrantes de los grupos de trabajo, el alumno fue expuesto a situaciones que asemejan el diseño de bloques de propiedad intelectual (IP) dentro de las compañías de semiconductores. Esto facilitó su adaptación a los esquemas de trabajo y a los ciclos de desarrollo de productos comerciales dentro de dichas compañías.

APÉNDICES

A. I/O Buffer con selector de impedancias para 400MHz con tecnología CMOS de 0.35 um

I/O Buffer con Selector de Impedancias para 400MHz con tecnología CMOS de 0.35μm

Lomelí Ismael, Oropeza Edgar y Zárata Jorge, *ITESO*

Resumen—Se presenta la arquitectura de un buffer de entrada/salida CMOS con la capacidad de manejar diferentes impedancias de carga y modo de bajo consumo de potencia (power down). El acoplamiento se logra mediante un selector digital que habilita etapas de inversores debidamente dimensionados para proveer la corriente necesaria según lo indiquen las señales de control. El receptor se ha implementado con una etapa Schmitt Trigger inversora capaz de manejar compuertas de lógica interna de dimensiones regulares (50ff). El diseño se realizó con una tecnología de 0.35um de TSMC y se probó satisfactoriamente mediante simulaciones a 400MHz, 3V Vdd y 27°C.

Términos clave—I/O Buffer, I/O Driver, Selector de impedancias, Power down.

I. INTRODUCCIÓN

LOS bloques de entrada/salida (I/O por sus siglas en Inglés) han sido parte fundamental en el desarrollo de la tecnología de circuitos integrados. Sin este bloque sería imposible interconectar de forma adecuada los circuitos procesadores de datos hacia un bloque periférico o hacer trabajar dos o más circuitos integrados en conjunto. De manera simple el I/O buffer es un inversor con una capacidad de manejo de corriente considerable, el reto de diseño consiste en encontrar las dimensiones adecuadas y realizar un buen layout para reducir los elementos parásitos al mínimo.

En el presente trabajo se expone un bloque I/O basado en cadenas de inversores inteligentemente dimensionados --para proveer capacidad de manejo de cargas a la salida-- cuya función es sintonizar de manera adecuada la resistencia de salida a una línea de

transmisión de 1ns con cuatro diferentes valores de impedancia característica ($Z_0 = 100\Omega, 54\Omega, 50\Omega$ y 46Ω).

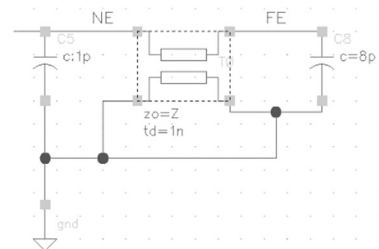


Figura 1. Modelo de la línea de transmisión hecho en Cadence. El capacitor de 1pF ha sido introducido para modelar el efecto del receptor.

La terminación de la línea está representada por una capacitancia de 8pF. La figura 1 muestra el esquemático correspondiente a la carga del bloque I/O.

El resto del documento está organizado de la siguiente forma: en la sección II se explican a detalle los bloques que conforman la arquitectura y el dimensionamiento de los transistores en cada uno de ellos; en la sección III se muestra el floor-plan del proyecto, así como su respectivo layout; en la sección IV se presentan los resultados de las simulaciones post-layout para las condiciones antes descritas y finalmente en la sección V se exponen las conclusiones del proyecto.

II. DISEÑO DE LA ARQUITECTURA

A. Etapa de salida

Como se expuso anteriormente, la etapa de salida

I/O BUFFER CON SELECTOR DE IMPEDANCIAS PARA 400MHZ CON TECNOLOGÍA CMOS DE 0.35 UM

TABLA 1
NÚMERO DE UNIDADES BÁSICAS EN PARALELO POR IMPEDANCIA

Impedancia de la línea	Unidades básicas tipo N	Unidades básicas tipo P
100 Ω	6	15
54 Ω	5	14
50 Ω	1	2
46 Ω	1	2
Dummies	2	2
Total	35	15

consiste en etapas de inversores conectados en paralelo dependiendo del valor de impedancia a manejar. Partiendo de la impedancia mayor (100 Ω) se conecta un número determinado de celdas básicas de forma acumulativa para alcanzar valores de impedancia menores (54 Ω , 50 Ω y 46 Ω). La tabla 1 muestra el número de celdas básicas conectadas en paralelo por impedancia a manejar. La celda básica tipo N consiste en un transistor NMOS de 5 μ m de ancho y de longitud mínima, mientras que la celda básica tipo P es un transistor PMOS de 10 μ m de ancho y de longitud mínima. Con el fin de lograr uniformidad y simetría en el layout se insertan bloques dummies para evitar efectos de mismatch por variaciones

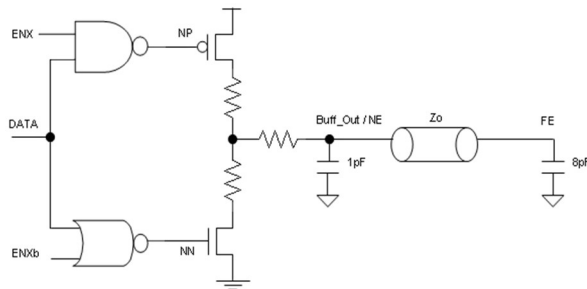


Fig. 2. Esquemático del bloque Lógica 1, etapa de salida y línea de transmisión.

de proceso en el arreglo de transistores.

B. Bloque de Lógica 1

Para habilitar o deshabilitar las celdas básicas en la etapa de salida, se hace uso de un bloque de lógica combinacional denominado lógica 1, el cual consiste en una compuerta NAND y una NOR para habilitar o deshabilitar cada uno de los buffers según las señales de selección de impedancia (EN100, EN54, EN50 y EN46); el comportamiento de este arreglo de compuertas, también conocido como pre-driver[1], se describe en la figura 2: cuando la señal EN de la impedancia correspondiente al buffer es habilitada (1 lógico) permite que la señal DATA pase hasta el nodo NE del arreglo. En el caso en que la señal EN sea deshabilitada (0 lógico) el pre-driver apaga los dos transistores de la etapa de salida y el nodo NE se encuentra en estado de alta impedancia, por lo tanto el buffer queda aislado y no contribuye con

TABLA 2
NÚMERO DE CELDAS BÁSICAS EN PARALELO POR IMPEDANCIA PARA EL BLOQUE LÓGICA 1

Impedancia de la línea	Unidades NOR	Unidades NAND	Unidades Inversor
100 Ω	3	15	3
54 Ω	3	14	3
50 Ω	1	2	1
46 Ω	1	2	1
Dummies	0	2	0
Total	8	35	8

su resistencia de salida al manejo de la línea de transmisión.

Al igual que en la etapa de salida, se determinaron 3 celdas básicas para conformar el bloque de lógica 1. La primera es una compuerta NOR de dos entradas con transistores NMOS de (5 μ /0.35 μ) y transistores PMOS de (10 μ /0.35 μ); la segunda es una compuerta NAND de dos entradas con transistores NMOS de (5 μ /0.35 μ) y transistores PMOS de (5 μ /0.35 μ); finalmente se tiene una celda inversor (para generar la señal ENXb) con un transistor NMOS de (5 μ /0.35 μ) y un transistor PMOS de (10 μ /0.35 μ). La tabla 2 muestra el número de unidades conectadas en paralelo de forma acumulativa para las distintas impedancias.

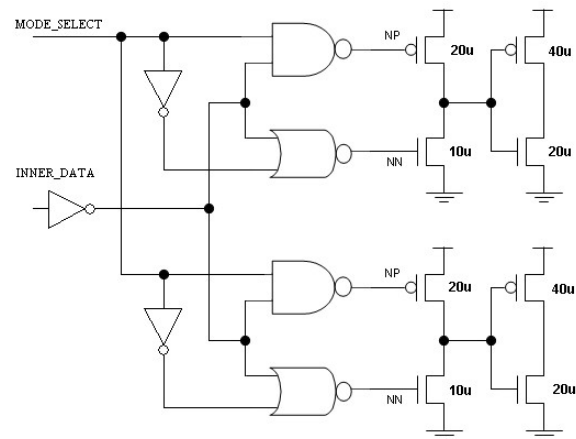


Fig. 3. Esquemático del bloque Lógica 2.

C. Bloque de Lógica 2

Para implementar la función de bajo consumo se incluyó en el diseño un segundo nivel de lógica denominado lógica 2. Además de controlar la función de power down en el sistema, este bloque hace uso de una cadena de inversores para disminuir la carga capacitiva que será vista a la entrada del I/O Buffer. El bloque lógica 2 es entonces una réplica del bloque lógica 1 al cual se agregó una cadena de inversores a la salida para disminuir las dimensiones de las compuertas de los

I/O BUFFER CON SELECTOR DE IMPEDANCIAS PARA 400MHZ CON TECNOLOGÍA CMOS DE 0.35 UM

TABLA 3
COMPUERTAS Y DIMENSIONES DE LA LÓGICA 2

INV 1		INV 2		INV 3		INV 4		NAND		NOR	
N	P	N	P	N	P	N	P	N	P	N	P
20	40	10	20	5	10	5	10	5	5	5	10
u	u	u	u	u	u	u	u	u	u	u	u

transistores más cercanos al puerto de entrada del I/O Buffer.

La figura 3 muestra el esquemático de un bloque de lógica 2. A diferencia de los bloques anteriores, este nivel no cuenta con celdas básicas conectadas en paralelo para manejar los distintos valores de impedancia. En cambio, el bloque mostrado en la figura se replicó 4 veces; cada uno es activado de forma acumulativa para manejar cada una de las impedancias características. Con esta técnica, los transistores en todos los bloques de lógica 2 tienen las mismas dimensiones y por lo tanto el mismo retardo característico. Si bien es cierto que existe un desperdicio de área al no dimensionar cada bloque de forma independiente, el evitar la colisión de señales al activar diferentes trayectorias lo compensa. La tabla 3 muestra las compuertas utilizadas y las dimensiones de los

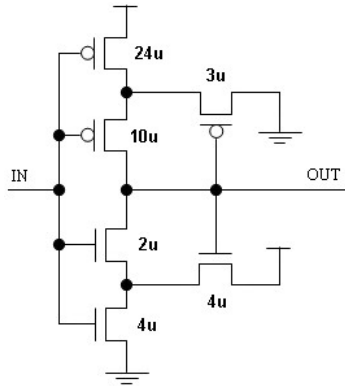


Fig. 4. Inversor Schmitt Trigger.

transistores para este bloque de lógica.

D. Receptor

El receptor consiste de un inversor con histéresis tipo Schmitt Trigger, cuyo circuito se muestra en la figura 4. Para evitar falsas transiciones debido a pequeñas variaciones en la señal de entrada, el circuito fue diseñado para rango de 0.5V de histéresis. Los voltajes VM (voltaje medio) del receptor son de 1.76V para cuando la señal de entrada va de 1 a 0 y de 1.23V para cuando la señal de entrada va de 0 a 1. Además del inversor Schmitt Trigger se colocó a la salida de este un inversor de dimensiones: 15um para el transistor tipo P y de 3um para el transistor tipo N. Además de fortalecer la

señal de entrada para manejar la capacitancia de 50fF, el

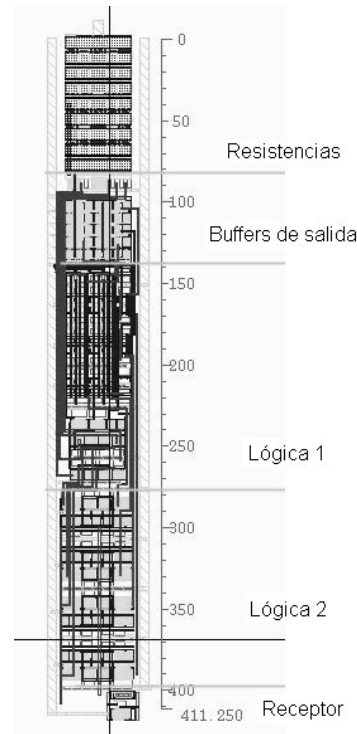


Fig. 5. Layout del Receptor.

inversor añadido evita que la señal de entrada se invierta en el proceso de recepción.

III. FLOOR-PLAN Y LAYOUT

La primer parte de cualquier diseño de layout consiste en realizar un buen floor-plan; esto con la finalidad de establecer la forma en que los bloques funcionales del circuito serán colocados en el área disponible; esta disposición de bloques está en función de la cantidad de interconexiones que sean necesarias para intercomunicar cada uno de los bloques, el floor-plan que se muestra en la figura 5 se determinó teniendo en mente esto y la restricción impuesta desde las especificaciones de que el ancho del layout no debería ser mayor a 50um y tomando en cuenta que la especificación del largo del layout es mucho más relajada; esta forma de construir los bloques nos lleva a la figura típica del layout de un IO Buffer.

A. Resistencias

La implementación de las resistencias en layout está pensada para distribuir de manera uniforme la corriente que circula a través de ellas (a través del buffer de salida) y del calor disipado en toda la malla. Se realizaron nueve tiras de 9Ω con poly2, cada una con unas dimensiones de 40um por 7um;

I/O BUFFER CON SELECTOR DE IMPEDANCIAS PARA 400MHZ CON TECNOLOGÍA CMOS DE 0.35 UM

B. Etapa de Salida

Para el layout de este bloque se dispuso de una matriz de elementos mínimos (transistores tipo P de 10um de ancho y tipo N de 5um), los cuales se conectan en paralelo según los requerimientos de cada buffer de salida para cada impedancia de acuerdo a la tabla 1.

C. Bloque de Lógica 1

Al igual que con el layout de los Buffers de salida, para la lógica 1 se construyeron elementos mínimos (NAND, NOR e Inversor) para luego hacer conexiones en paralelo, según se requiriera para el manejo de cada Buffer de salida.

D. Bloque de Lógica 2

Este bloque contiene 11 compuertas por cada impedancia que se puede manejar a la salida, sin embargo, las dimensiones de los transistores que las componen son pequeñas, por lo que simplemente se realizó el layout de un bloque y se replicó cuatro veces, tomando ventaja de que las capacitancias que cada bloque de lógica 2 maneja son de dimensiones similares para los cuatro casos de impedancia.

E. Receptor

Para realizar el layout del inversor Schmitt-Trigger y el inversor simple que componen al receptor se utilizó la técnica de interdigitar todos los transistores P en un solo bloque y todos los N en otro.

El layout del I/O Buffer completo se muestra en la figura 5.

IV. SIMULACIONES POST-LAYOUT

Para realizar las simulaciones Post-Layout se utilizó el archivo generado por la herramienta Virtuoso de la suite de Cadence al ejecutar el comando de extracción. Posteriormente se siguieron los pasos indicados en [2]

TABLA 4
MEDICIÓN DE RETARDOS EN LA ARQUITECTURA

Impedancia de la línea	OUTPUT BUFFER (NE)	
	Pre-layout	Post-layout
100 Ω	1.869ns	2.081ns
54 Ω	1.775ns	1.911ns
50 Ω	1.757ns	1.886ns
46 Ω	1.700ns	1.851ns

Impedancia de la línea	INPUT BUFFER	
	Pre-layout	Post-layout
100 Ω	878ps	677ps
54 Ω	638ps	446ps
50 Ω	614ps	442ps
46 Ω	563ps	425ps

para poder correr simulaciones del archivo extraído sobre SpectreS.

La tabla 4 muestra el tiempo de retardo desde la entrada de datos hasta el Near End del Buffer, el retardo desde la entrada del receptor hasta su salida; para obtener el retardo hasta el Far End debemos agregar un retardo de 1ns (de la línea de transmisión) al valor medido en el NE. Se presenta una comparación pre-layout contra post-layout que muestra el efecto de los elementos parásitos en la extracción.

La figura 6 y la tabla 5 muestran los diagramas de ojo y las mediciones de jitter en las señales de entrada/salida para cada una de las impedancias. Se aplica un tren de

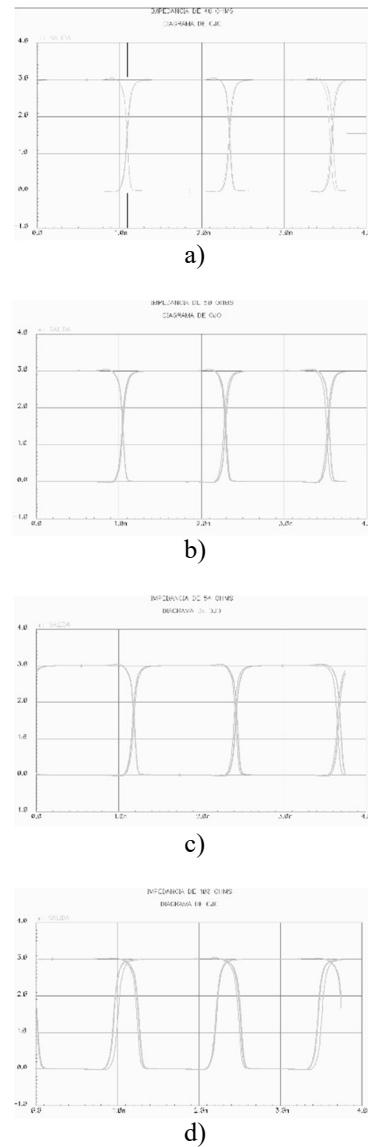


Fig. 6. Diagramas de ojo para cada una de las impedancias a) 46W b) 50W c) 54W y d) 100W.

I/O BUFFER CON SELECTOR DE IMPEDANCIAS PARA 400MHZ CON TECNOLOGÍA CMOS DE 0.35 UM

TABLA 5
TIEMPOS DE JITTER

Impedancia de la línea	JITTER MÁXIMO	
	Pre-layout	Post-layout
100 Ω	2.236ps	4.838ps
54 Ω	1.709ps	2.164ps
50 Ω	2.111ps	1.917ps
46 Ω	1.785ps	1.847ps

Impedancia de la línea	PUNTO DE CRUCE	
	Pre-layout	Post-layout
100 Ω	2.23V	2.925V
54 Ω	2.23V	1.806V
50 Ω	2.18V	1.623V
46 Ω	2.17V	1.557V

pulsos a la entrada del I/O Buffer y se observa la salida del receptor. Se puede observar que el jitter empeora en todos los casos después de realizar las simulaciones post-layout; en tanto que el punto de cruce mejora respecto a lo obtenido en simulaciones pre-layout, con excepción de la impedancia de 100 Ω .

La prueba realizada para medir el consumo de potencia fue introducir un tren de pulsos periódico de 400MHz, corriendo un tiempo de simulación de 20ns; en la tabla 6 se contrastan los resultados pre-layout contra post-layout.

V. CONCLUSIONES

Se ha presentado el proceso de diseño y layout de un IO Buffer con selección de impedancias; la arquitectura propuesta acorta el tiempo de diseño y facilita el alcanzar los requerimientos; a pesar de que se puede considerar sencilla se comprobó que es una arquitectura robusta a la cual se le puede sacar mucho provecho en aplicaciones debajo de los 400MHz en circuitos genéricos. Como trabajo futuro se propone una implementación del Buffer de salida como la que se muestra en [3]; además de colocar un circuito de selección de impedancias para reducir el número de IO para realizar esta función y extender las posibilidades del IO Buffer al posibilitar el

TABLA 6
MEDICIÓN DE POTENCIA

Impedancia de la línea	POTENCIA RMS	
	Pre-layout	Post-layout
100 Ω	32.3mW	46.94mW
54 Ω	44mW	54.19mW
50 Ω	46.2mW	56.39mW
46 Ω	48.5mW	58.86mW

manejo de dos voltajes de trabajo diferentes (VDD y OVDD) mediante el uso de level-shifters.

AGRADECIMIENTOS

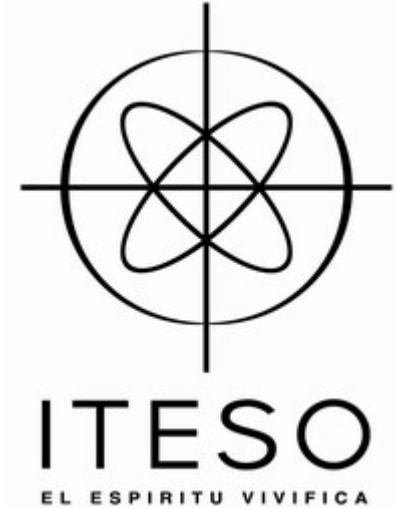
Los autores quieren agradecer al Dr. Manuel Salim Maza de Freescale Semiconductor México por la asesoría brindada en el desarrollo de este proyecto.

REFERENCIAS

- [1] S. Dabral y T. Maloney, "Basic ESD and I/O Design", New York: Wiley, 1998, pp. 113–179.
- [2] Post Layout Simulation using Spectre S, Available: http://www.cse.buffalo.edu/~lliu2/cse497/fall2004/post_layout_good.html.
- [3] J. S. Shor, Y. Afek, E. Engel, "IO Buffer for High Performance Low-Power Applications", Motorola Semiconductor Israel Ltd., Herzilia, Israel, *IEEE 1997 Custom Integrated Circuits Conference*.
- [4] H. Sánchez, J. Siegel, C. Nicoletta, J. P. Nielsen, J. Álvarez, "A Versatile 3.3/2.5/1.8-V CMOS I/O Driver Built in a 0.2- μ m, 3.2-nm tox, 1.8-V Technology", *IEEE Journal of Solid-State Circuits*, Vol.34, No. 11, November 1999.
- [5] G. Esch Jr., Agilent Technologies ASIC Design Lab, Fort Collins CO., T. Chen, Dept. of Electrical and Computer Engineering Colorado State University, Fort Collins CO, "Design of CMOS I/O Drivers with Less Sensitivity Process, Voltage and Temperature Variations", *Proceedings on the Second IEEE International Workshop on Electronic Design, Test and Applications, IEEE 2004*.
- [6] J. Jex, j. Griffin, D. R. Johnson, Intel Corporation, DuPont, Washington, "High Speed I/O Circuit Design in Multiple Voltage Domains".

B. Diseño de un Zero-Delay Buffer

**Instituto Tecnológico de Estudios
Superiores de Occidente**



DISEÑO ANALOGICO II

Diseño de un Zero-Delay Buffer

Integrantes del Equipo:

Lomeli Illescas Ismael.
Oropeza Guzmán Edgar.
Zárate Roldán Jorge E.

Profesor:

Federico Lobato-López

DISEÑO DE UN ZERO-DELAY BUFFER

Introducción

En el presente documento se presentan el diseño e implementación pre-layout de un circuito LVCMOS zero-delay buffer, utilizando una tecnología TSMC de $0.35\ \mu\text{m}$. Este circuito, cuenta con dos bancos de 4 salidas y encuentra su principal aplicación en redes de distribución de señales de reloj. El diagrama a bloques del sistema se presenta en la figura 1; en la cual podemos observar que el bloque principal del dispositivo es un PLL. Los bloques que conforman el PLL son completamente integrados e incluyen: un oscilador controlado por voltaje (VCO), un detector de fase y frecuencia (PFD), una bomba de carga (Charge Pump: CP) y un filtro de lazo pasa bajas (LPF), además se incluyen tres divisores de frecuencia, los cuales se activarán dependiendo de las configuraciones en que trabajará el circuito.

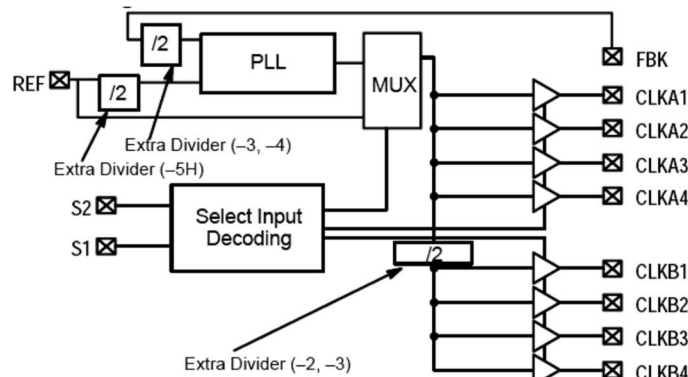


Figura 1: Diagrama a bloques del circuito.

Las especificaciones del circuito son las siguientes:

- Cero retardo de propagación, de la entrada a la salida, ajustable con la capacitancia de carga de la entrada FBK
- Configuraciones múltiples(ver tabla 1)
- Dos bancos de cuatro salidas, con control de tercer estado mediante dos entradas de selección (ver tabla 2)
- Manejo de un reloj de entrada y salida con un rango de frecuencias entre 80MHz y 800MHz.
- Empaquetado SOIC o TSSOP de 16 pins.
- Operación a bajo voltaje.
- Rango de temperatura de -40°C a 85°C
- Compatible con espectro disperso (Spread Spectrum)
- Jitter de ciclo a ciclo: 200 ps max
- Jitter I/O: 200 ps max
- Static phase offset (SPO): 150 ps
- output-output skew: 200 ps max
- Tiempo de amarre del PLL <100us
- Corriente de Power Down < 10uA
- Consumo de Corriente < 300mA
- Ciclo de trabajo a la salida= 50% +/- 5%
- Tiempos de Subida y Bajada: 200ps
- Capacitancia de carga= 30pF
- $V_x = V_{DD}/2 \pm 5\%$

DISEÑO DE UN ZERO-DELAY BUFFER

Configuración	Retroalimentación	Frecuencia del Banco A	Frecuencia del Banco B
1	Banco A o Banco B	Referencia	Referencia
2 ^a	Banco A	Referencia	Referencia/2
2b	Banco B	2x Referencia	Referencia
3 ^a	Banco A	2xReferencia	Referencia
3b	Banco B	4xReferencia	2x Referencia
4	Banco A o Banco B	2xReferencia	2xReference
5	Banco A o Banco B	Referencia/2	Referencia/2

Tabla 1: Configuraciones.

S2	S1	CLK A1-A4	CLK B1-B4	Fuente de salida	PLL Apagado
0	0	Tercer estado	Tercer estado	PLL	Si
0	1	Habilitado	Tercer estado	PLL	No
1	0	Habilitado	Habilitado	Referencia	Si
1	1	Habilitado	Habilitado	PLL	No

Tabla 2: Decodificación de las salidas.

A continuación se describe el análisis del sistema y la forma en que se diseñó cada uno de los bloques antes mencionados:

Cálculos.

Los parámetros de diseño de un PLL-CP de segundo orden [1] de la figura 2 determinan la ubicación del cero y del polo característico de la función de transferencia. Estos valores se especifican en función del ancho de banda y las frecuencias de trabajo del sistema. Las variables de diseño son la ganancia del VCO, la corriente del CP y la resistencia y el capacitor del filtro de lazo.

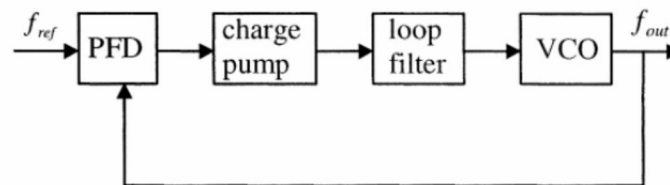


Figura 2: Modelo de un PLL-CP de segundo orden.

Utilizando la figura 3 como referencia, se obtienen las siguientes especificaciones del PLL:

Fmax: 800MHz
Fmin: 40MHz
Ancho de banda: 2MHz
Factor de división: 1-4

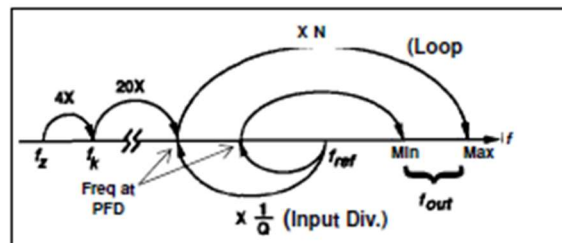


Figura 3: Distribución de frecuencias del PLL.

Tomando como base la función de transferencia de un PLL de segundo orden (1) se determinaron las variables de diseño con la ayuda de una herramienta de cálculo (Excel). Las ecuaciones empleadas fueron las siguientes:

DISEÑO DE UN ZERO-DELAY BUFFER

$$H(s) = \frac{2\zeta\omega_n s + \omega_n^2}{s^2 + 2\zeta\omega_n s + \omega_n^2} = \frac{\frac{I}{2\pi C}(RCs + 1)K_o}{s^2 + \frac{I}{2\pi}K_o R s + \frac{I}{2\pi C}K_o} \quad (1) \text{ Función de transferencia del PLL 2do orden}$$

$$K_o = \frac{2\pi(f_{\max} - f_{\min})}{V_{\max} - V_{\min}} \quad (2) \text{ Ganancia del VCO}$$

$$\omega_n = \sqrt{k\omega_z} = \sqrt{\frac{I}{2\pi C}K_o} \quad (3) \text{ Frecuencia natural del sistema}$$

$$\zeta = \frac{1}{2}\sqrt{k/\omega_z} = \frac{R}{2}\sqrt{\frac{IC}{2\pi}K_o} \quad (4) \text{ Factor de amortiguamiento}$$

$$k = \frac{I}{2\pi}RK_o \quad (5) \text{ Ganancia en lazo abierto del sistema}$$

$$\omega_{3dB} = \omega_n \sqrt{(2\zeta^2 + 1) + \sqrt{(2\zeta^2 + 1)^2 + 1}} \quad (6) \text{ Ancho de banda}$$

$$\omega_z = \frac{1}{RC} \quad (7) \text{ Frecuencia del cero}$$

Los valores de diseño de la implementación final del PLL son los siguientes:

$$C = 22\text{pF}$$

$$R = 9\text{k}_\Omega$$

$$I = 2\mu\text{A}$$

$$f_{\max} = 800\text{MHz}$$

$$f_{\min} = 20\text{MHz}$$

$$V_{\max} = 1.607\text{V}$$

$$V_{\min} = 0.5716\text{V}$$

Para los cuales se obtiene un ancho de banda de 2.8025MHz y un factor de amortiguamiento de 0.7984. La respuesta en frecuencia del sistema en lazo cerrado y en lazo abierto se muestra en la figura 4.

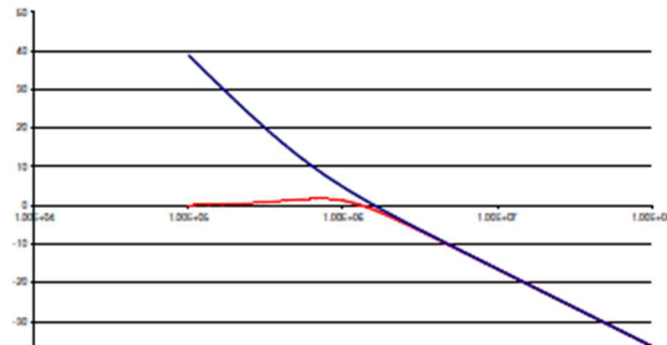


Figura 4: Función de transferencia del PLL.

La inclusión de divisores en el lazo de retroalimentación del PLL disminuye la ganancia del sistema por el factor de división N. Para compensar este efecto, la corriente en el CP se multiplica por el mismo factor con el fin de mantener intacta la función de transferencia del PLL y sus valores característicos. Así, para un factor de división de 1, la corriente es de 2μA; para un factor de 2 se tiene una corriente de 4μA y para un factor de 4 una corriente de 8μA.

Detector de frecuencia y fase PFD.

La diferencia de fase entre la señal de referencia y la salida del oscilador es detectada en un circuito detector de fase y frecuencia, PFD. Tal diferencia de fase es convertida en corriente o voltaje para controlar el oscilador.

DISEÑO DE UN ZERO-DELAY BUFFER

Existen diversas configuraciones para realizar esta labor; dentro de ellas la más popular y la utilizada para este proyecto es la configuración mostrada en la figura 5.

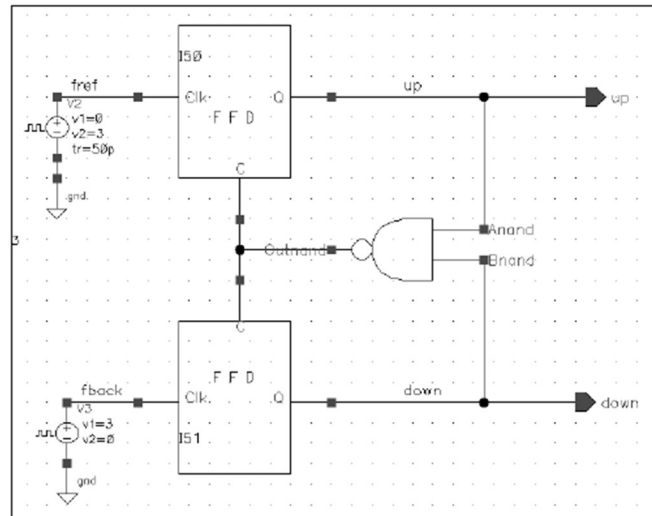


Figura 5: Esquemático del detector de fase.

Como podemos observar en la figura, es necesario utilizar 2 Flip-Flops y una compuerta NAND de 2 entradas. El Flip-Flop **NO** cuenta con entrada de señal “D”, ya que esta siempre se encuentra colocada en un valor lógico de “1”; el FF solo cuenta con la entrada de Reset, la cual es activada en flancos de bajada, por eso se utiliza una compuerta NAND en lugar de una compuerta AND como típicamente se realiza.

El PFD tiene dos salidas, *Up* y *Down*, que abren o cierran las dos fuentes de corriente del CP. Hay cuatro posibles estados de funcionamiento: en el primer estado, una señal activa en *Up* origina que la fuente de corriente superior sea activada, resultando una corriente de salida *Ic* positiva. Esta corriente causa que el voltaje de control se incremente. En el segundo estado, una señal activa en *Down* origina que la fuente de corriente inferior sea activada, resultando una corriente de salida *Ic* negativa. Esta corriente causa que el voltaje de control disminuya. El tercer posible estado de la bomba de carga es aquel donde ninguna de las señales *Up* o *Down* está activa aquí la corriente de salida es cero y el nodo de salida del CP es un nodo de alta impedancia. El cuarto estado es aquel donde las dos fuentes de corriente se encuentran activas; este estado idealmente nunca se presenta debido a un mecanismo de reset, sin embargo debido al retraso que existe en la activación de dicha señal de reset, este estado se presenta por un breve periodo de tiempo.

El principio de operación del PFD es ilustrado en la figura 6. Un flanco de subida del pulso de referencia origina que la señal *Up* sea activada y con eso la tensión de salida del CP comience a aumentar; de manera similar, un flanco de subida de la señal de retroalimentación origina que la señal *Down* se active y con eso la tensión de salida comience a disminuir. Cuando las dos señales, *Up* y *Down*, se encuentran activas simultáneamente, una compuerta NAND origina que estas señales sean desactivadas (*reset* del PFD).

DISEÑO DE UN ZERO-DELAY BUFFER

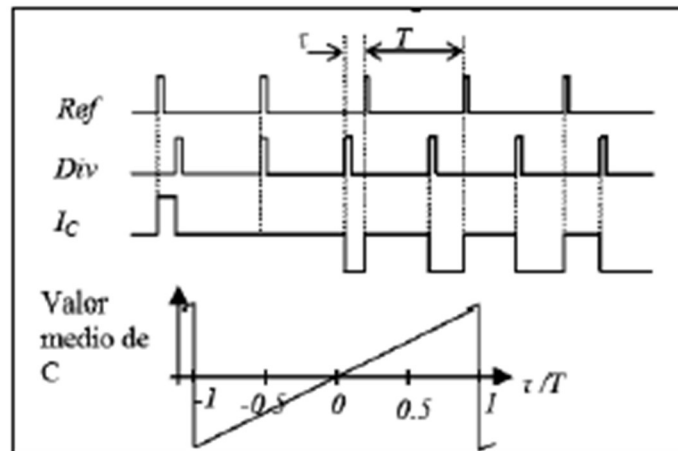


Figura 6: Funcionamiento del PFD.

En este diseño se utilizó una estructura para el PFD que hace uso de un mínimo número de transistores, la cual está optimizada para trabajar a nuestras frecuencias de interés. Este circuito está basado en una estructura TSPC (True Single-Phase Clock) modificada con FF tipo D disparados en flanco (*edge triggered*).

El FF dinámico implementado se presenta en la figura 7. Esta es una versión simplificada del FF TSPC de alta velocidad, ya que la entrada D se encuentra siempre fija en un valor de 1. Una de las desventajas de este tipo de flip-flops, son los valores de las corrientes de fuga, las cuales tienen un valor del orden de hasta 20 uA, los cuales son bastante altos y afectan el consumo de potencia del circuito en general.

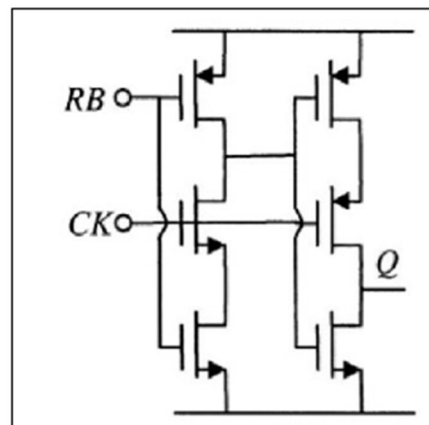


Figura 7: Diagrama esquemático del Flip-Flop utilizado en el PFD.

En el caso de la compuerta NAND, esta fue implementada, utilizando el simple estilo lógico CMOS estático. Para comprobar el funcionamiento del PFD, se colocaron dos señales una con periodo de 1.250ns y otra con un periodo de 1.255ns, así mismo a la señal de 1,25ns se colocó un retraso de 1.200ns, de esta manera podemos apreciar el efecto de atraso y adelanto de una de las señales con respecto a la otra. Los resultados de la simulación de PFD se muestran en la figura 8.

DISEÑO DE UN ZERO-DELAY BUFFER



Figura 8: Simulación del PFD.

Oscilador controlado por voltaje VCO.

El oscilador controlado por voltaje es el corazón del PLL ya que este es el bloque que genera las oscilaciones a la frecuencia necesaria para amarrar las señales de entrada y retroalimentación del PLL. La topología elegida [2], debido a su simplicidad y alta controlabilidad fue la de la figura 9, un oscilador de anillo conformado por tres etapas de inversión —realizadas con compuertas inversoras—; cada etapa de inversión está polarizada por un par de fuentes de corriente colocadas en las partes superior e inferior del inversor; si podemos modificar de manera uniforme esta corriente de polarización de cada etapa de inversión (las fuentes de corriente son iguales para los tres inversores) estaremos modificando la capacidad del inversor de cargar o descargar su nodo de salida a mayor o menor velocidad si aumentamos o disminuimos la corriente, respectivamente. Gracias a lo anterior y la ecuación que rige el comportamiento de este oscilador (8) es que podemos variar la frecuencia de oscilación con la corriente de polarización mediante la alteración del retardo de propagación.

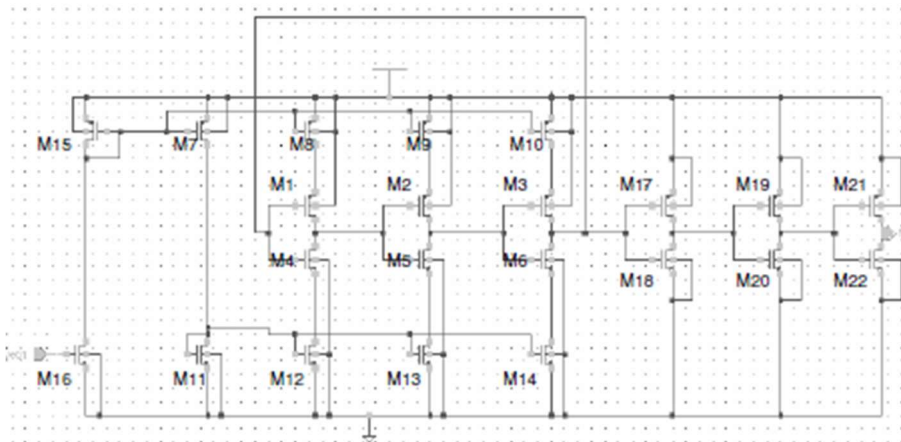


Figura 9: Oscilador controlado por voltaje.

$$F = T^{-1} = (2 \cdot n \cdot \tau_P)^{-1} \quad (8)$$

El bloque que precede al VCO en el PLL es el CP, el cual ofrece un voltaje a su salida proporcional a la diferencia de fase entre las señales de referencia y de retroalimentación; por lo que la señal de control del oscilador es

DISEÑO DE UN ZERO-DELAY BUFFER

voltaje y no corriente, por tanto debemos realizar una conversión de voltaje a corriente para controlar el oscilador; dicha conversión se realizó con el más simple transconductor: un transistor MOS; el voltaje aplicado en su gate (V_{gs} por como se diseñó el circuito) guarda una relación NO lineal (cuadrática) con la corriente de salida, por lo que hubo que dimensionar de manera adecuada este transconductor y los espejos de corriente para que aproximadamente cuando su V_{gs} fuera de 0.55mV la corriente en las etapas de inversión fuera de aproximadamente 40uA para que se produjeran oscilaciones a 20MHz y que cuando fuera de aproximadamente 1.8V la corriente en los inversores fuera de 1.1mA para que el VCO oscilara a 800MHz. Las curvas de frecuencia contra voltaje y corriente se pueden observar en las figuras 10 y 11 respectivamente.

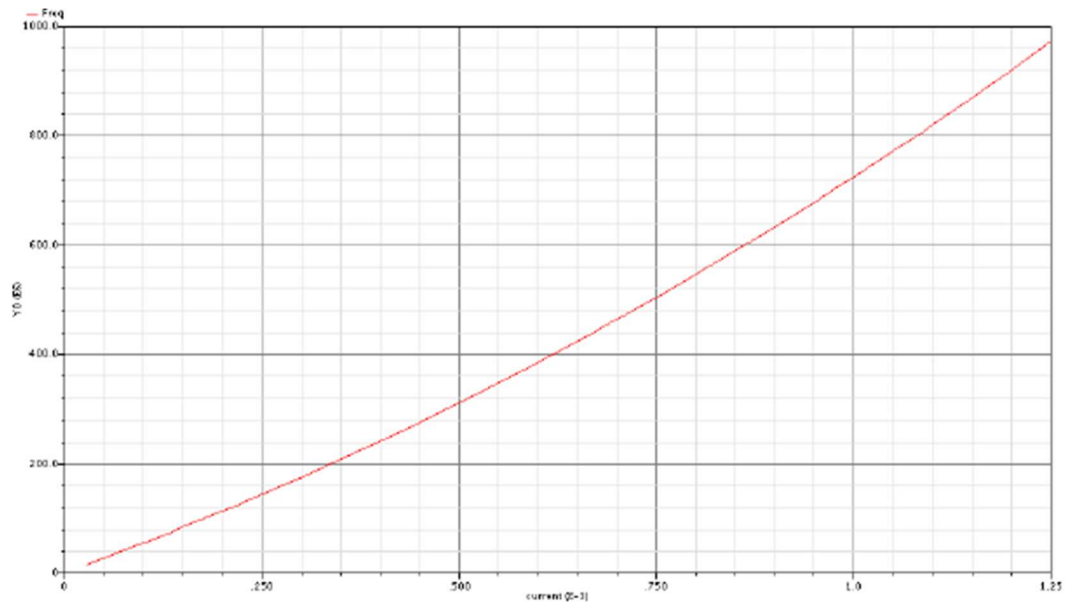


Figura 10: Frecuencia contra corriente de polarización del oscilador.

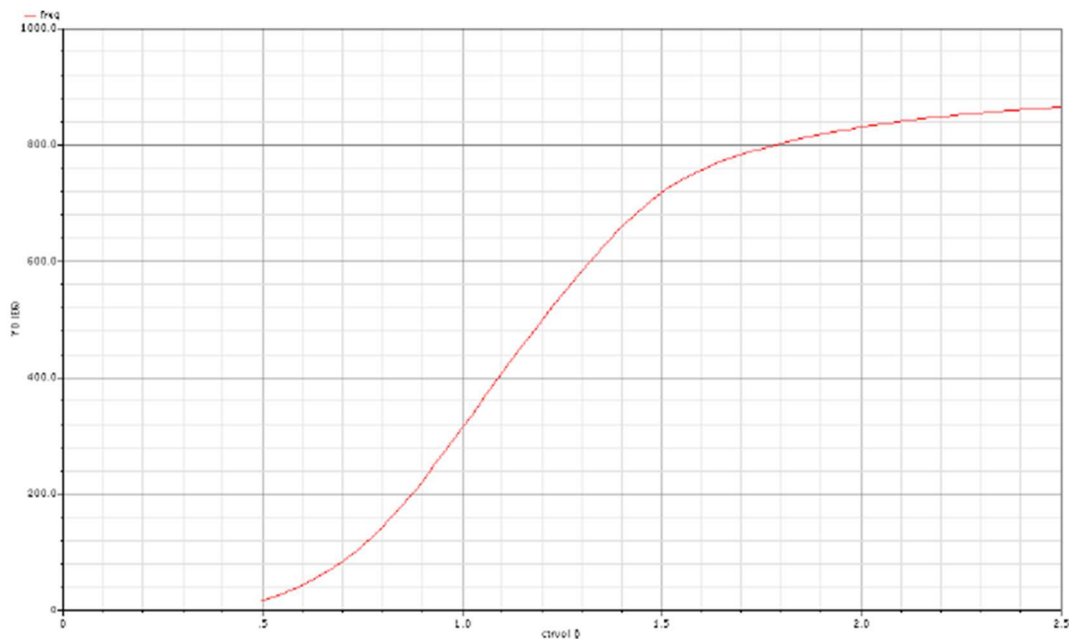


Figura 11: Frecuencia contra voltaje de control del VCO.

Se observa la pérdida de linealidad al comparar las gráficas de frecuencia contra corriente y voltaje, esto es debido a la conversión NO lineal de voltaje a corriente en el transconductor de entrada del VCO y a pérdidas en

DISEÑO DE UN ZERO-DELAY BUFFER

los espejos de corriente; sin embargo el análisis paramétrico, en donde se modificaron los valores del voltaje de control, muestra que el VCO nunca deja de oscilar para todo el rango del voltajes de control de interés. Al final se logró que el VCO tuviera una respuesta lineal en el rango de 0.55V hasta 1.74V, de ahí en adelante la pendiente cambia, disminuyendo la razón a la que la frecuencia puede aumentar para un cambio en el voltaje, pero aún con la capacidad de ser controlado.

Otro de los retos de diseño que plantea este VCO son las fuentes de corriente de los inversores, pues no es fácil asegurar que trabajen de manera adecuada para todas las corrientes que estarán circulando a través de ellas sin que estas dejen la región de saturación. Además de lo anterior hay que tener cuidado que las oscilaciones producidas por el VCO tengan un ciclo de trabajo de más o menos el 50%; lograr eso, sobre todo a bajas frecuencias no fue fácil; se tuvieron que realizar algunos ajustes, en las fuentes de corriente y las etapas de salida del oscilador, para alcanzar un ciclo de trabajo del 54% a 20MHz, arriba de esta frecuencia esto ya no es problema y el ciclo de trabajo si es de aproximadamente el 50%. Como ya se mencionó, se verificó mediante un análisis paramétrico que para varios voltajes de entrada (60 diferentes y espaciados de manera lineal entre 0.5 y 2.5V) el VCO no dejara de oscilar, es decir sus fuentes de corriente siguieran trabajando y no se apagaran y por consiguiente no apagaran las oscilaciones.

Las tres etapas de inversores agregadas a la salida del oscilador fueron para darle una forma más cuadrada a las oscilaciones y para proveer capacidad de manejo de cargas capacitivas un poco más grandes al VCO. El inversor de salida es de dimensiones $W_p/W_n = 45\mu\text{m}/20\mu\text{m}$ con L_{min} ; suficiente para manejar sin problemas al multiplexor que va en su salida, el cual propone una capacitancia de entrada de un inversor de $W_p/W_n = 20\mu\text{m}/10\mu\text{m}$ con L_{min} . La segunda y la tercera etapa de salida son iguales, ya que su finalidad, como se mencionó es la de recomponer la señal y que tenga una formas mas cuadrada, y no es necesario realizar un escalamiento en las dimensiones de dichas etapas.

En la figura 12 se presenta la medición del ruido de fase del VCO, la simulación se corrió con el VCO oscilando a 800MHz, se consideraron los primero 7 armónicos y se barrió en el rango desde 100KHz hasta 1.5GHz; se utilizó un análisis PSS – Pnoise y utilizando la calculadora de Cadence® se graficó el ruido de fase, si hacemos la analogía sería similar a lo que es el jitter en el tiempo.

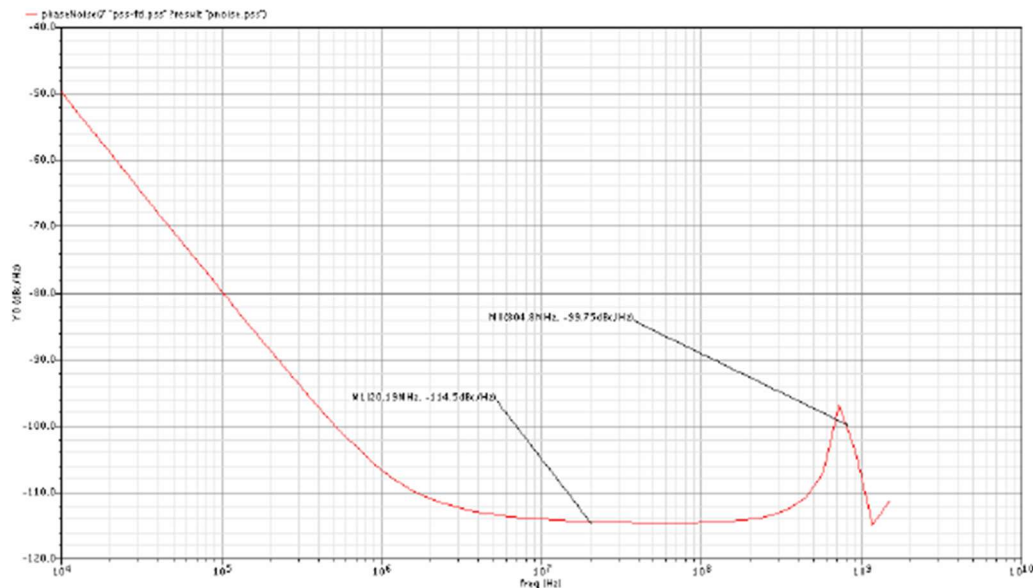


Figura 12: Ruido de fase del VCO.

Las dimensiones de los transistores que conforman al VCO se muestran en la tabla 3.

DISEÑO DE UN ZERO-DELAY BUFFER

Componente	Tipo de transistor	W	L
Oscilador (M1-M3)	NMOS	8um	350nm
Oscilador (M4-M6)	PMOS	16um	350nm
Fuente de corriente (M7-M10)	PMOS	6um	350nm
Fuente de corriente (M11-M14)	NMOS	4um	350nm
Diodo de la rama de conversi3n V/I M(15)	PMOS	15um	350nm
Transconductor de entrada (M16)	NMOS	12um	700nm
1era. Etapa de salida (M17)	PMOS	16um	350nm
1era Etapa de salida (M18)	NMOS	8um	350nm
2nda. Etapa de salida (M19)	PMOS	45um	350nm
2nda. Etapa de salida (M20)	NMOS	20um	350nm
3era. Etapa de salida (M21)	PMOS	45um	350nm
3era. Etapa de salida (M22)	NMOS	20um	350nm

Tabla 3. Dimensiones de los transistores del VCO.

Charge Pump CP.

Se seleccionó una arquitectura single ended para el CP debido a su bajo consumo de potencia y su operación de triestado. La corriente de salida del CP es programable con valores de 2uA, 4uA y 8uA dependiendo del número de divisores activados en el lazo de retroalimentación del PLL.

La topología implementada se muestra en la figura 13. Consiste en un CP con switches en el nodo source del espejo de corriente MOS [3]. Los transistores M1 y M2 se encuentran siempre en saturación. Las transconductancias $g_{m3,4}$ no afectan el tiempo de conmutación por lo que es posible obtener corrientes de salida elevadas con valores reducidos de corriente de polarización. A diferencia de otras topologías con switches en el gate o en el drain del espejo de corriente, esta implementación no presenta problemas considerables de velocidad y espurios de corriente en el nodo de salida.

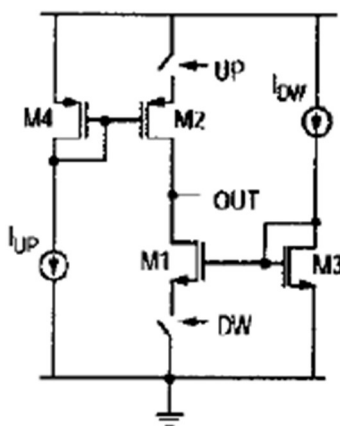
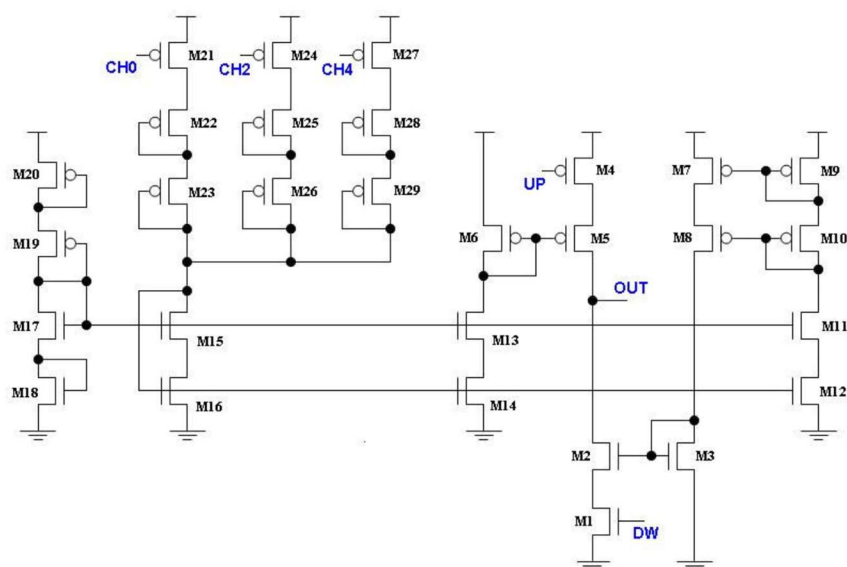


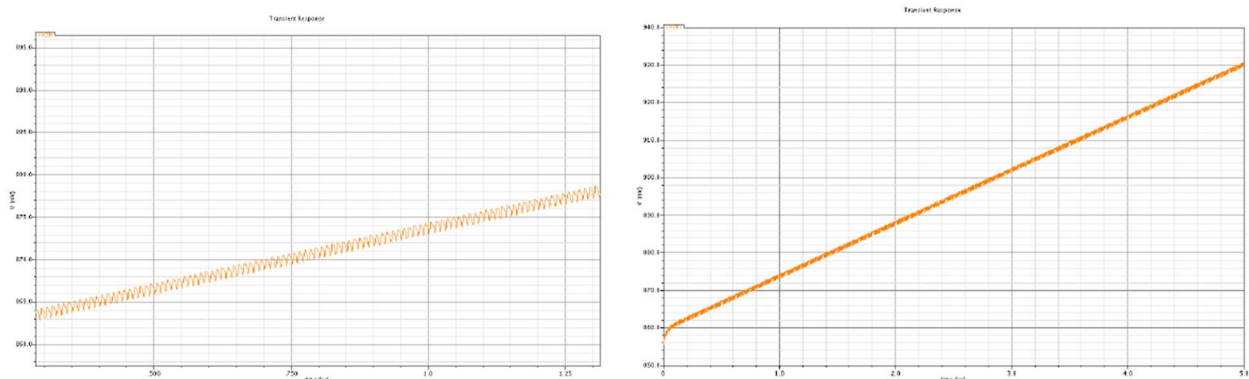
Figura 13: Charge Pump.

La implementación final y las dimensiones de los transistores se muestran en la figura 14 y la tabla 4.

DISEÑO DE UN ZERO-DELAY BUFFER



a)



b)

Figura 14: CP programable a nivel transistor. a) Diagrama esquemático; b) grafica del voltaje de salida

DIMENSIONAMIENTO					
Transistor	(W/L)	Transistor	(W/L)	Transistor	(W/L)
M1	3u/.35u	M11	2u/1.4u	M21	5u/.35u
M2	2u/1.4u	M12	4u/1.4u	M22	2u/1.4u
M3	2u/1.4u	M13	2u/1.4u	M23	1u/1.4u
M4	5u/.35u	M14	4u/1.4u	M24	5u/.35u
M5	2u/1.4u	M15	2u/1.4u	M25	4u/1.4u
M6	2u/1.4u	M16	4u/1.4u	M26	2u/1.4u
M7	3u/.70u	M17	1u/1.4u	M27	5u/.35u
M8	3u/.70u	M18	1u/1.4u	M28	8u/1.4u
M9	3u/.70u	M19	1u/1.4u	M29	5u/1.4u
M10	3u/.70u	M20	1u/1.4u		

Tabla 4: Dimensiones de los transistores del CP.

Los transistores M1–M14 forman la estructura CP. El switch M1 es activo en alto y genera una corriente de descarga desde el nodo de salida, mientras que el switch M4 es activo en bajo y genera una corriente de carga. Existe una diferencia de 300mV en los niveles de encendido de la estructura entre los casos de carga y descarga

DISEÑO DE UN ZERO-DELAY BUFFER

ocasionada por el tipo de transistor empleado. Sin embargo dicha diferencia se compensó con los niveles de voltaje y las rampas generadas por el PFD.

Los transistores M15–M27 forman una red de polarización programable. Las señales CH0, CH2 y CH4 son activas en bajo y generan una corriente en el CP de 2uA, 4uA y 8uA respectivamente, con lo cual se compensa la ganancia del PLL cuando el factor de división en el lazo de retroalimentación es 1, 2 y 4.

El voltaje de excursión máximo y mínimo en el nodo de salida es de 2.1V y 500mV para los tres modos de selección. La especificación anterior asegura una correcta saturación de las fuentes y espejos de corriente para un funcionamiento apropiado del CP.

CONEXIÓN ENTRE EL PFD Y EL CHARGE PUMP

Una de las partes, que presentó algunos de los mayores problemas en el desarrollo del PLL, fue la interconexión entre el bloque del PFD y el bloque del CP; debido a la topología utilizada para el bloque del Charge pump, es necesario contar con la señal de up de manera negada (up_b), por lo cual es necesario colocar un inversor, sin embargo el colocar este Nuevo elemento, ocasiona un desfase de tiempo entre las señales Down y la Señal Up_b, lo que da como resultado que los interruptores del charge pump se activen incorrectamente y que no se logre el funcionamiento deseado del sistema, ya que la corrección del voltaje de control no es la adecuada; Para compensar esto, se debe balancear los retardos de las señales down y Up_b, por lo que se colocaron dos compuertas de transmisión, las cuales siempre están encendidas, en el camino de las señal Down, con e fin de corregir el desfase de las señales; así mismo el inversor en la señal up, se implementó utilizando una topología psuedo-Nmos. En la figura 15 se presenta el diagrama correspondiente a este bloque, mientras en la tabla 10 se presentan los tamaños de los transistores.

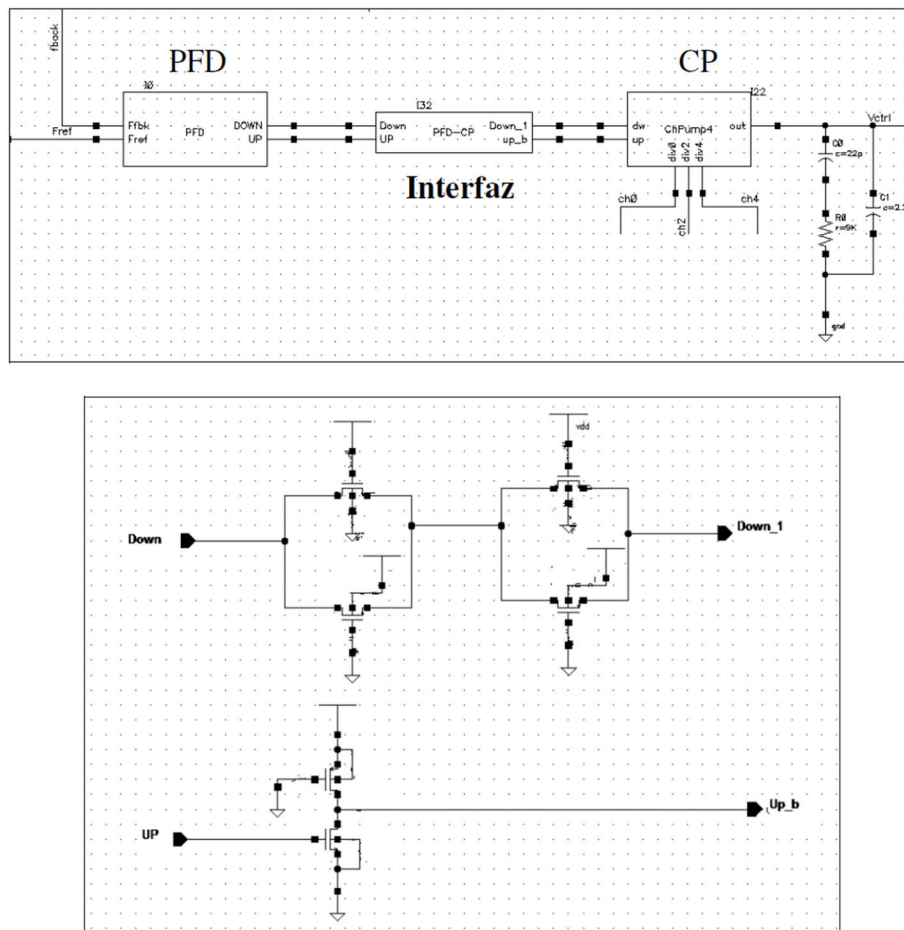


Figura 15: Diagrama del bloque de interconexión entre el PFD y el CP

DISEÑO DE UN ZERO-DELAY BUFFER

COMPONENTE	Transistor	(W/L)
Compuerta 1	N-MOS	6u/.35u
	P-MOS	6u/.35u
Compuerta 2	N-MOS	4u/.35u
	P-MOS	4u/.35u
Inversor	N-MOS	2.5u/.35u
	P-MOS	4u/.35u

Tabla 10: Dimensiones de los transistores de la interfaz entre CP y PFD

Divisores de Frecuencia.

El sistema cuenta con tres divisores de frecuencia, todos con un factor de división de 2; para implementarlos, se utilizó un FF como el mostrado en la figura 15.

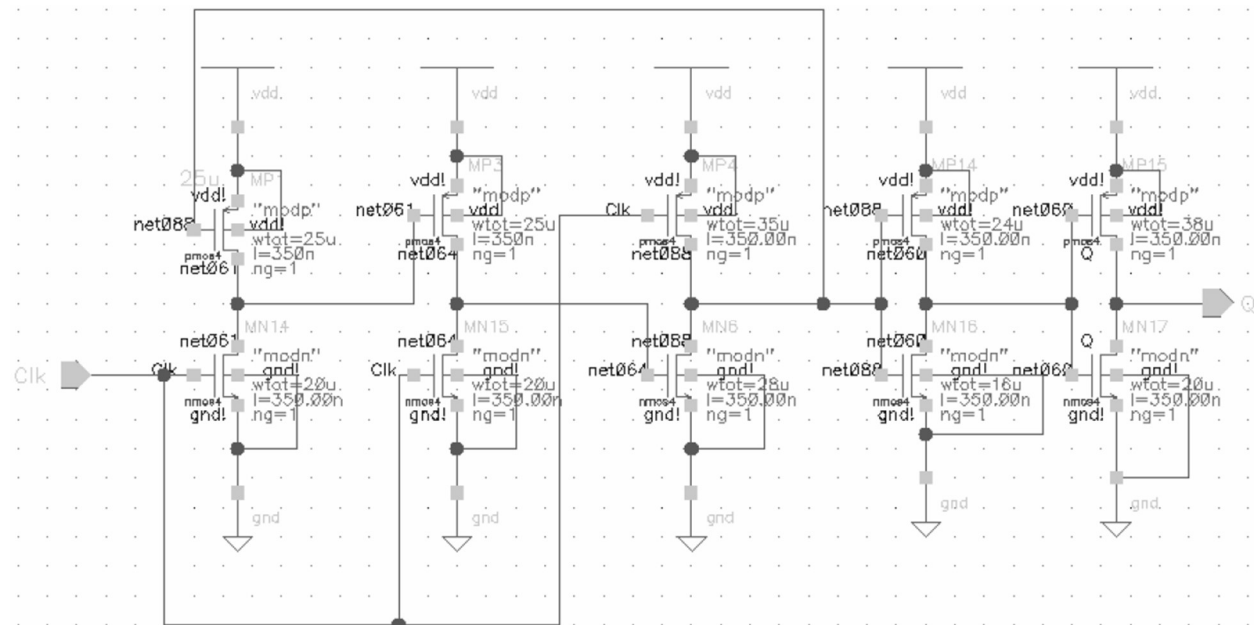


Figura 15: Diagrama de Divisores.

Este FF es sensible a los flancos de bajada; se eligió esta topología para ser consistente con los FF utilizados en el PFD, los cuales también responden a dicho flanco. De esta manera, podemos realizar la medición del static phase offset, en dicho flanco, tanto para la señal de retroalimentación (después de pasar por el divisor), como para la señal de salida. De la figura 15 puede observarse que se ha colocado un buffer a la salida del divisor, para obtener los niveles adecuados de voltaje (de 0 a 3V) en la señal dividida, a fin de que el PFD pueda realizar la comparación de fase de una manera adecuada. En la figura 16 se muestra una simulación del divisor en operación.

DISEÑO DE UN ZERO-DELAY BUFFER

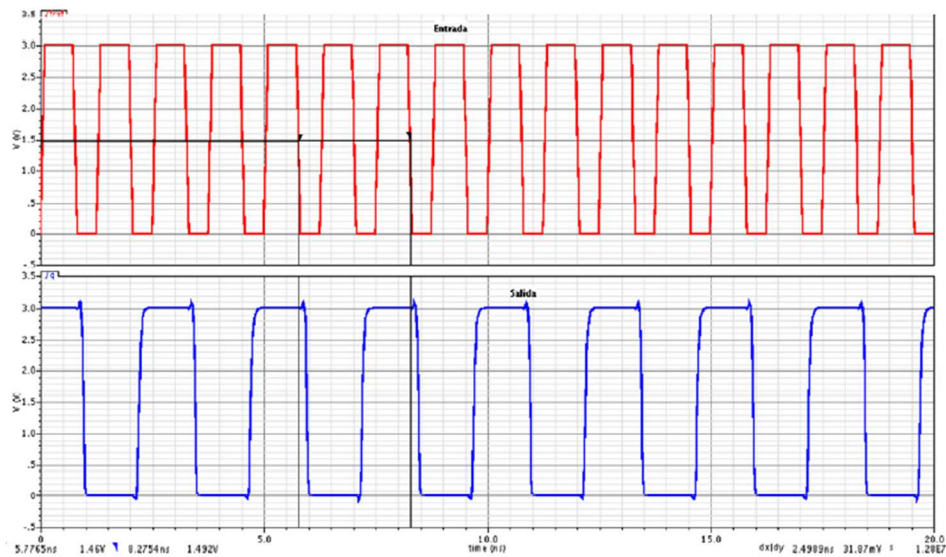


Figura 16: Simulación del Divisor.

Multiplexores.

Para poder seleccionar las distintas configuraciones con que puede trabajar el circuito, es necesario habilitar o deshabilitar los divisores del circuito; para ello se utilizaron multiplexores analógicos que permitían seleccionar entre la señal sin dividir y la señal dividida en frecuencia. Esto presenta como inconveniente, que los divisores siempre están trabajando, lo que ocasiona que el consumo de corriente aumente. Así mismo, es necesario utilizar un multiplexor para seleccionar la señal de salida del circuito, ya sea la frecuencia de referencia, o la frecuencia generada por el PLL.

Para implementar el multiplexor se eligió una topología con compuertas de transmisión (TGMUX), ya que al utilizar solo dichas compuertas e inversores, es posible manejar altas frecuencias, con tiempos de retardo pequeños. El esquemático del multiplexor implementado se presenta en la figura 17. Como puede observarse en dicha figura, el multiplexor cuenta con tres entradas, dos de datos y una de selección; su tabla de verdad se muestra en la tabla 5.

SEL	D0	D1	OUT
0	X	X	D0
1	X	X	D1

Tabla 5: Tabla de verdad del Multiplexor.

DISEÑO DE UN ZERO-DELAY BUFFER

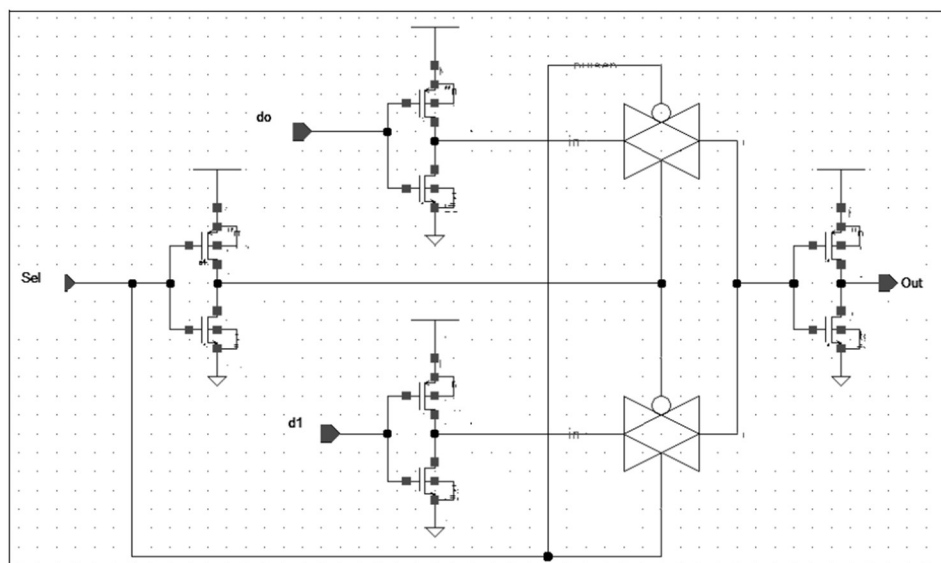


Figura 17: Diagrama del multiplexor implementado.

El delay introducido en el camino de la señal por los multiplexores fue de 140ps.

Selector de configuraciones.

El sistema cuenta con 7 configuraciones distintas, las cuales dependerán de que divisores se encuentren encendidos, y por cual de los bancos de salida se realizará la retroalimentación hacia el PFD. En la tabla 6 se presenta la tabla para las distintas configuraciones.

CONFIGURACION	RETROALIMENTACIÓN	FRECUENCIA BANCO A	FRECUENCIA BANCO A
1	Banco A o Banco B	Referencia	Referencia
2a	Banco A	Referencia	Referencia/2
2b	Banco B	2* Referencia	Referencia
3a	Banco A	2* Referencia	Referencia
3b	Banco B	4* Referencia	2* Referencia
4	Banco A o Banco B	2* Referencia	2* Referencia
5	Banco A o Banco B	Referencia/2	Referencia/2

Tabla 6: Configuraciones.

El diagrama esquemático correspondiente a cada una de las configuraciones de la tabla 6 se presenta en la figura 18.

DISEÑO DE UN ZERO-DELAY BUFFER

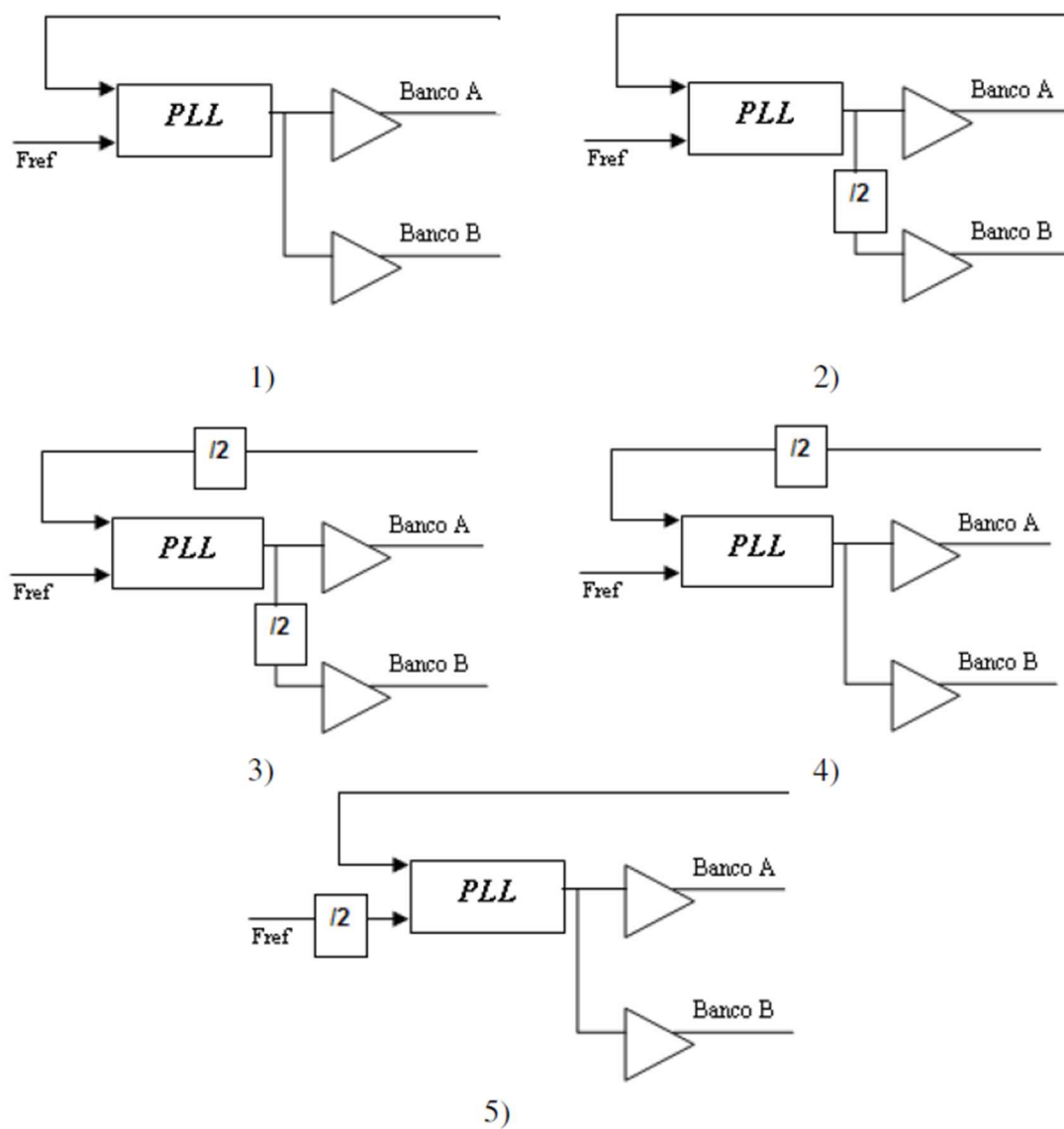


Figura 18: Configuraciones del sistema.

El circuito de selección de modo o configuración se muestra en la figura 19.

DISEÑO DE UN ZERO-DELAY BUFFER

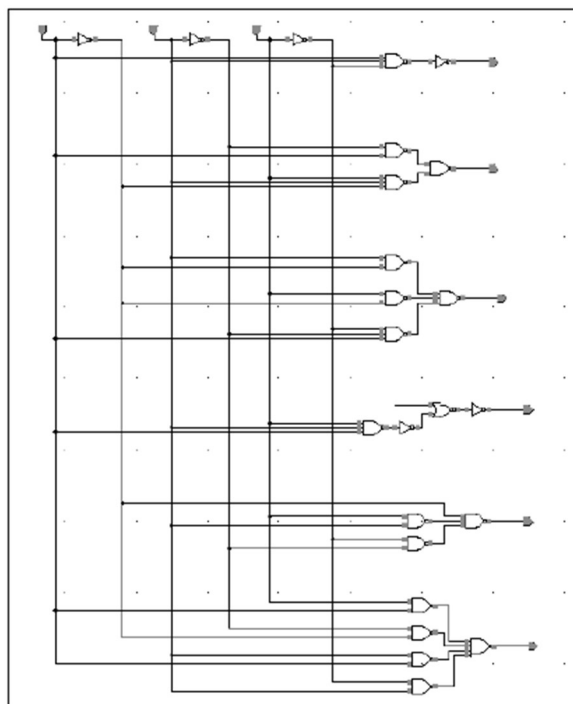


Figura 19: Lógica de selección de modo o configuración.

La tabla de verdad se muestra en la tabla 7.

Configuración	Entradas			Salidas					
				Enables de Divisores			Programación del CP		
	BIT3	BIT2	BIT1	DIV1	DIV2	DIV3	CH0	CH2	CH4
1	0	0	0	0	0	0	0	1	1
2 ^a	0	0	1	0	0	1	1	0	1
2b	0	1	0	0	0	1	1	0	1
3 ^a	0	1	1	0	1	1	1	1	0
3b	1	0	0	0	1	1	1	1	0
4	1	0	1	0	1	0	0	1	1
5	1	1	0	1	0	0	0	1	1
PD	1	1	1	0	0	0	1	1	1

Tabla 7: Tabla de verdad del circuito de selección de modo.

Donde:

- Los divisores son activos en nivel alto. DIV1 corresponde al divisor de la referencia, DIV2 al divisor de la retroalimentación y DIV3 al divisor del Banco B.
- Las entradas al CP son activas en bajo.
- La combinación de entrada 111 fue pensada originalmente para implementar el modo Power Down, por falta de tiempo no se ha implementado por lo que se reserva para futuras aplicaciones.

Buffer de salida.

El buffer de salida se implementó con cadenas de inversores en paralelo para poder utilizar compuertas de tamaño manejable y no una sola cadena de inversores que terminara en un inversor de 5mm ó 7mm de ancho de compuerta del transistor tipo P para manejar el capacitor de 30pF a la salida; en lugar de esto se utilizaron 20 inversores de $W_p/W_n = 200\mu m/100\mu m$ (todas las L del buffer son mínimas) como "front end" del buffer para de ahí ir bajando a un segundo nivel con otros 20 inversores en paralelo de $W_p/W_n = 50\mu m/25\mu m$; a un tercer nivel con otros 20 inversores de $12.5\mu m/6.25\mu m$ y a un último cuarto nivel con otros 20 inversores de tamaño

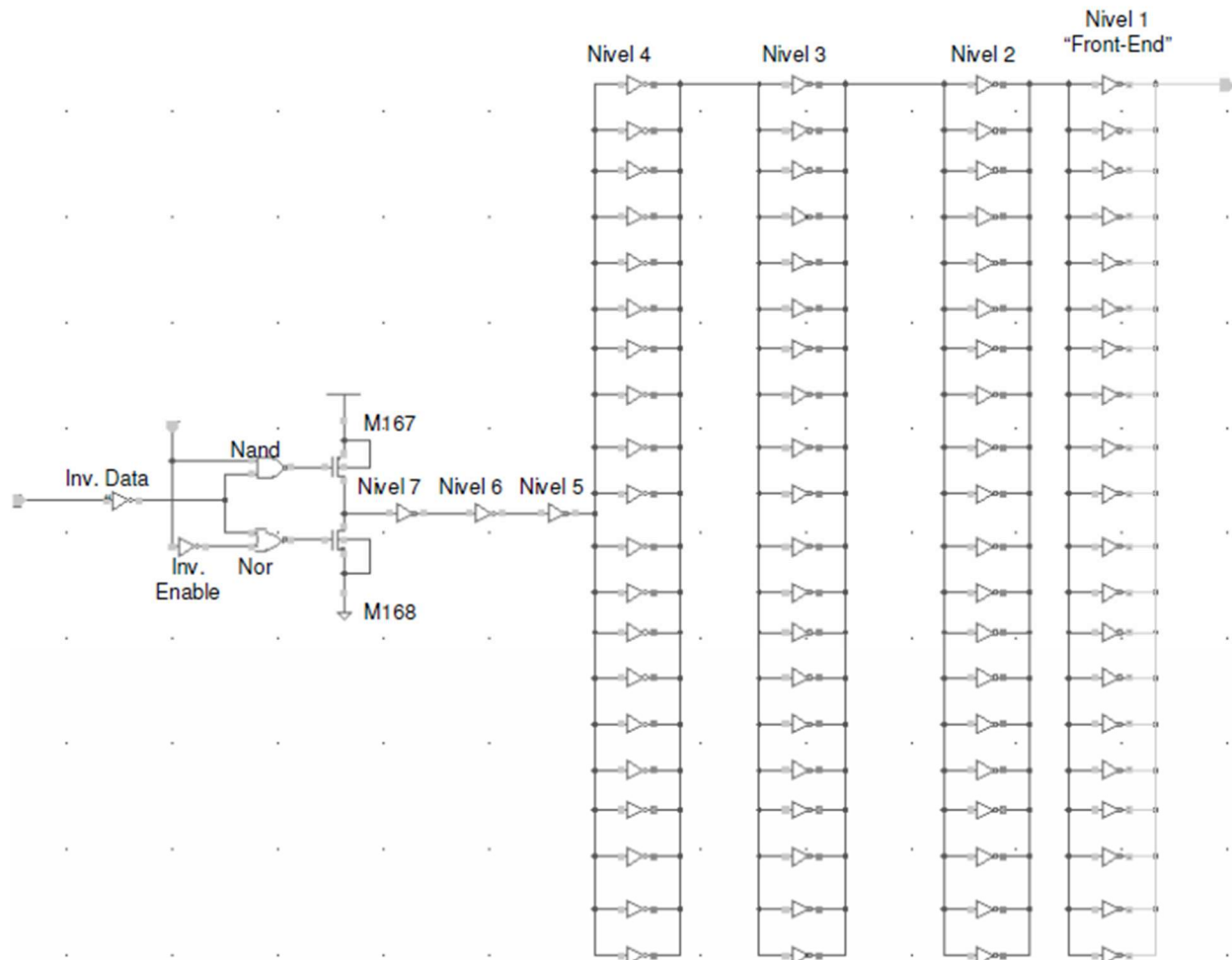
DISEÑO DE UN ZERO-DELAY BUFFER

3.25um/1.75um; siempre utilizando un factor de escalamiento de 4. Después del cuarto nivel se utilizó una cadena de inversores sencilla (de longitud 3) para ir bajando la capacitancia de carga hasta llegar al circuito de tercer estado, el cual tan sólo presenta una capacitancia de carga al bloque que lo maneja correspondiente a un inversor con W_p/W_n de 10um/5um.

La capacidad de manejo de cargas grandes (y a 800MHz!!) que este buffer nos ofrece se paga con el tamaño de sus componentes. En la figura 20 se muestra el circuito del buffer y en la tabla 8 se enlistan los valores de los componentes.

Componente	Wp	Wn
Nivel 1 (M1-M40)	200um	100um
Nivel 2 (M41-M80)	50um	25um
Nivel 3 (M81-M120)	12.5um	6.25um
Nivel 4 (M121-M160)	3.25um	1.75um
Nivel 5 (M161-M162)	400um	200um
Nivel 6 (M163-M164)	100um	50um
Nivel 7 (M165-M166)	25um	12.5um
Inversor de salida tri-estado (M167-M168)	15um	7um
Nand (M169-M172)	7um	7um
Nor (M173-M176)	14um	5um
Inversor Enable (M177-M178)	10um	5um
Inversor Data (M179-M180)	10um	5um

Tabla 8: Dimensiones de los transistores del Buffer de salida



DISEÑO DE UN ZERO-DELAY BUFFER

Figura 20: Esquemático de Buffer de salida.

La forma en que funciona el circuito de tri-estado es muy simple, si el pin de Enable está en bajo, en el gate del transistor P del inversor aparece un 1 Lógico (debido a la NAND) y un 0 Lógico en el gate del transistor N del inversor (debido a la NOR) inhibiendo el funcionamiento del inversor al apagar los dos transistores; si Enable está en 1, en los gates de ambos transistores aparece Data (debido al inversor de Data para provocar que nuestro buffer en general fuera NO inversor, pero esta estructura tri-estado es NO inversora pues no contempla este inversor), permitiendo la operación normal del inversor.

El delay introducido por el buffer para una capacitancia de 30pF fue de 953ps.

Lógica de selección de buffers.

El circuito de selección de buffers de salida y de multiplexado de la referencia o salida del VCO se muestra en la figura 21.

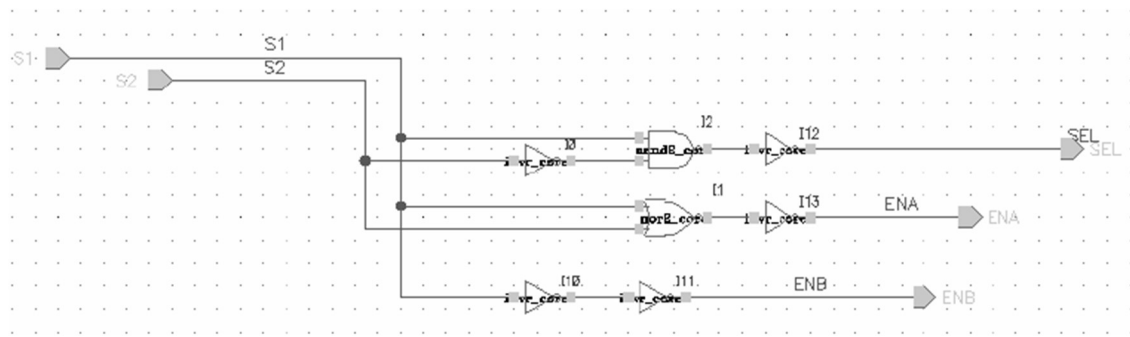


Figura 21: Circuito de selección de buffers y multiplexor.

El cual cumple con la tabla de verdad de la tabla 9.

Entradas		Salidas		
S1	S2	SEL	ENA	ENB
0	0	0	0	0
0	1	0	1	0
1	0	1	1	1
1	1	0	1	1

Tabla 9: Tabla de verdad del selector de buffers de salida.

Donde:

ENA es el Enable del Banco A de buffers de salida; cuando EN = 0 se van a alta impedancia y cuando EN = 1 permite la operación normal del buffer

ENB es el Enable del banco B de buffers de salida. Funciona igual que ENA

SEL es el selector del multiplexor de salida del VCO; cuando SEL = 1 la que pasa es la referencia, cuando SEL = 0 (mayoría de casos) la señal que pasa es la del VCO.

Estimación de área requerida para el layout

Para este punto se decidió presentar los transistores en layout (sin alambraarlos) para poder tener una buena idea de las dimensiones que ocuparía llevar a fabricación este circuito; en la figura 22 se muestra la aproximación obtenida.

DISEÑO DE UN ZERO-DELAY BUFFER

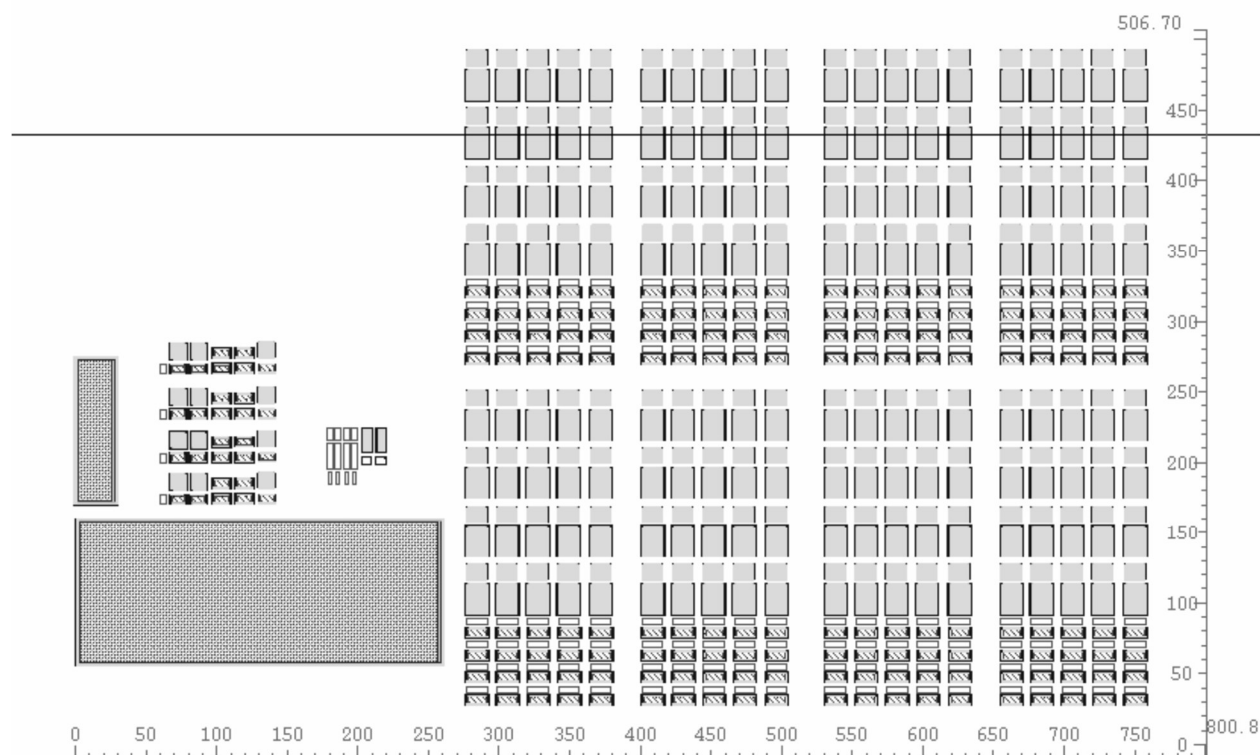


Figura 22: Disposición de componentes para el layout, área aproximada: 800um de ancho por 510um de largo.

Parásitas del empaquetado TSSOP-16.

Otro de los requisitos de diseño fue que se corriera una simulación considerando las parásitas que el empaquetado añadiría al circuito en el caso en que se decidiera fabricarlo. El modelo propuesto es el de la fábrica AMKOR, consistente en modelar la conexión del PAD al PIN con un arreglo RLC en serie cuyos valores se muestran en la figura 23.

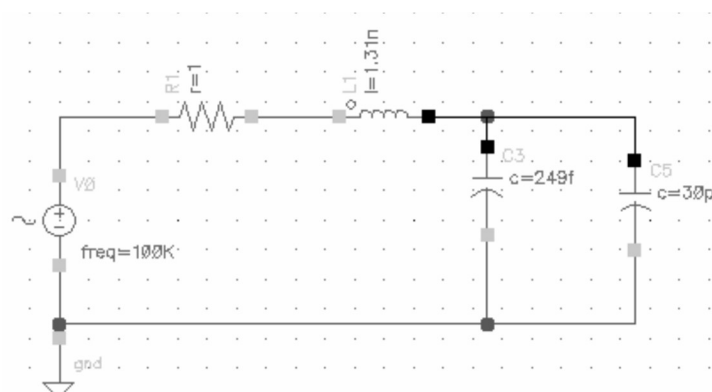


Figura 23: Modelo del wire bond más el capacitor de carga de 30pF.

DISEÑO DE UN ZERO-DELAY BUFFER

Se realizaron simulación con el modelo propuesto pero los resultados eran totalmente fuera de los normal, debido a esta razón se decidió hacer un análisis en AC para observar la respuesta del circuito de la figura 23 en frecuencia, obteniendo la inesperada respuesta de la figura 24.

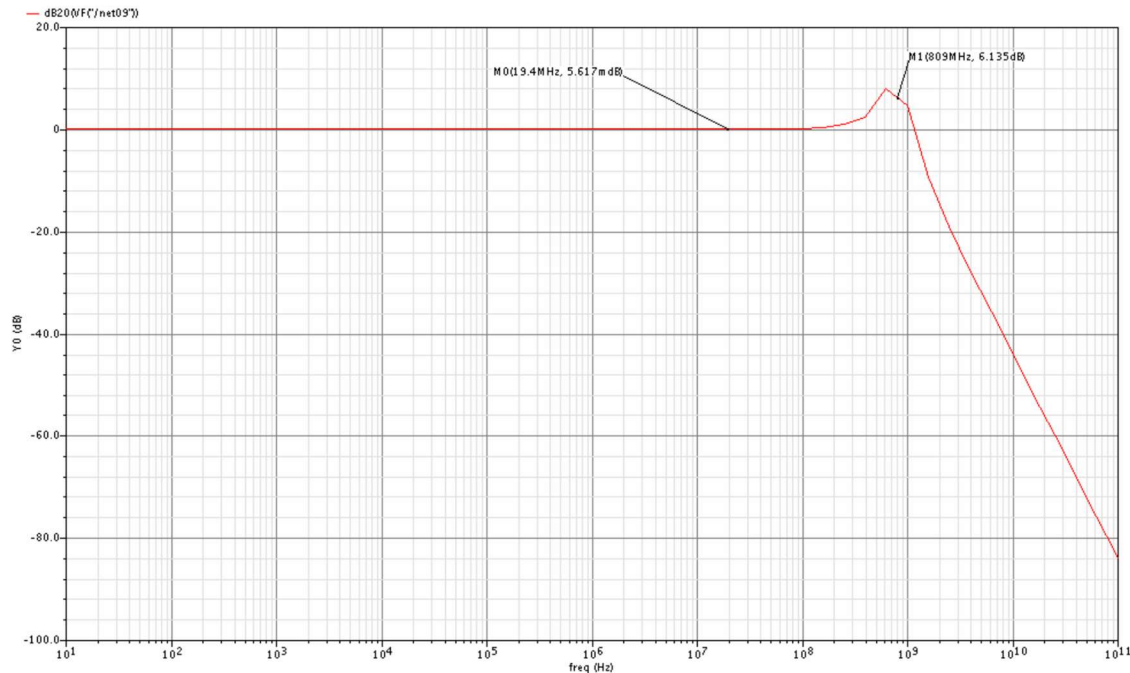


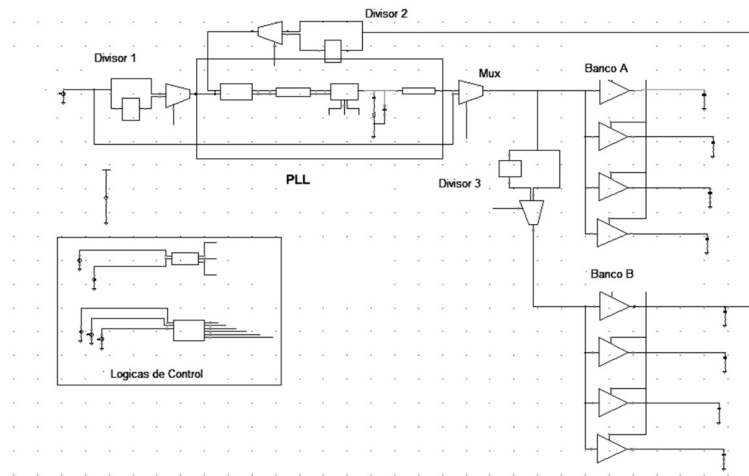
Figura 24: Respuesta en frecuencia del modelo parásito SOIC más el capacitor de carga (obtenido en AMKOR.com).

Se observa que en las frecuencias de interés, desde 80 hasta 800MHz, la señal de entrada se ve amplificada por el arreglo RLC; al estar este circuito dentro del lazo de retroalimentación (pins de FBK y Bancos de salida) volvía totalmente inestable la respuesta del PLL, por lo que se decidió omitir su uso en este ejercicio académico; debido a falta de tiempo no se investigó la forma de cancelar este efecto, pero es perfectamente compensable.

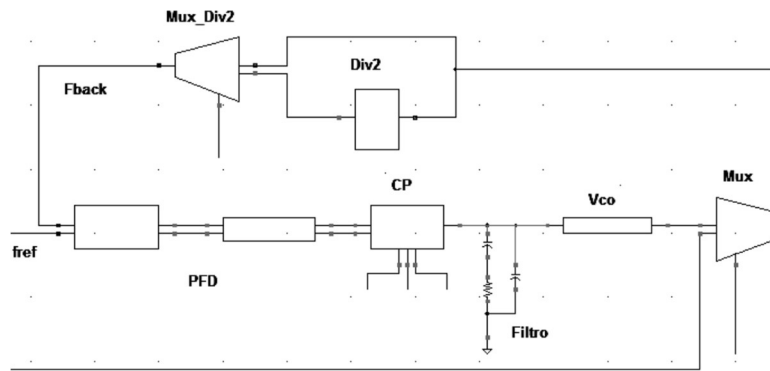
Simulación del Sistema Completo.

Una vez diseñados cada uno de los bloques del sistema, y comprobado el funcionamiento individual de cada uno de ellos, se realizaron simulaciones de todo el circuito completo; el diagrama esquemático del circuito se presenta en la figura 25.

DISEÑO DE UN ZERO-DELAY BUFFER



a)

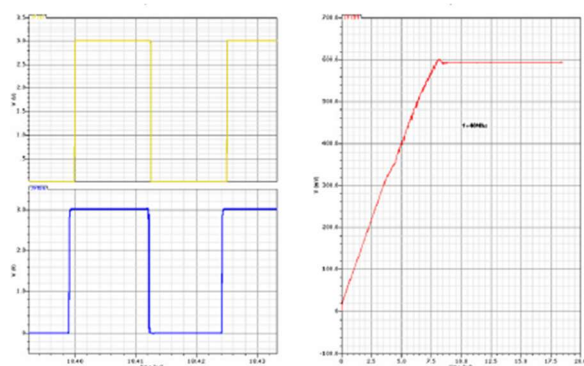


b)

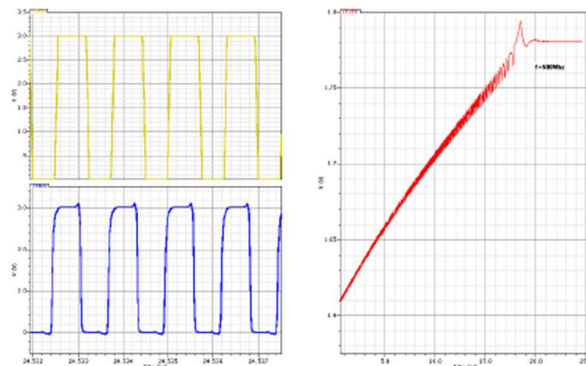
Figura 25: Diagrama esquemático a) del sistema completo b) Del PLL

Para poder realizar pruebas del sistema completo se utilizó la opción de colocar condiciones iniciales en el voltaje de control, a fin de reducir el tiempo de simulación. Las pruebas realizadas consistieron en implementar algunas de las configuraciones del sistema a distintas frecuencias. Los resultados de las simulaciones se presentan en la figura 26.

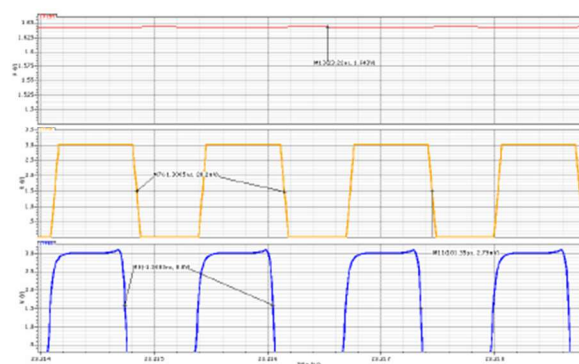
DISEÑO DE UN ZERO-DELAY BUFFER



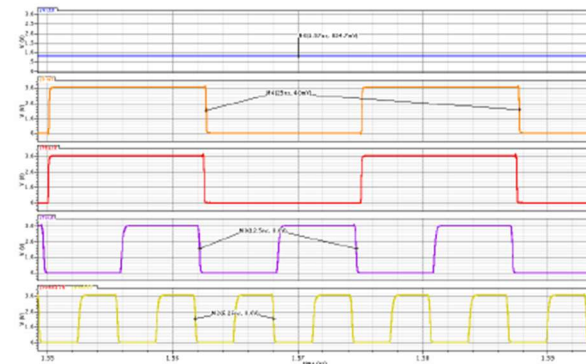
Simulación a 40 MHz Configuración 1



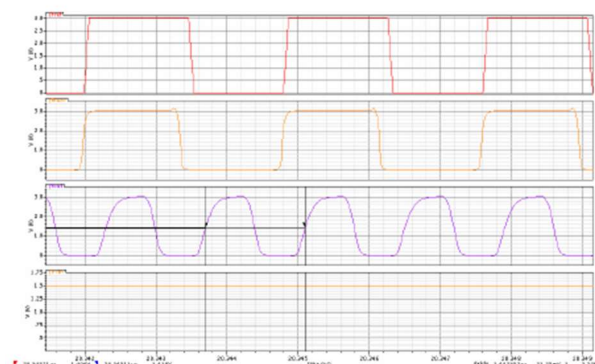
Simulación a 800 MHz Configuración 1



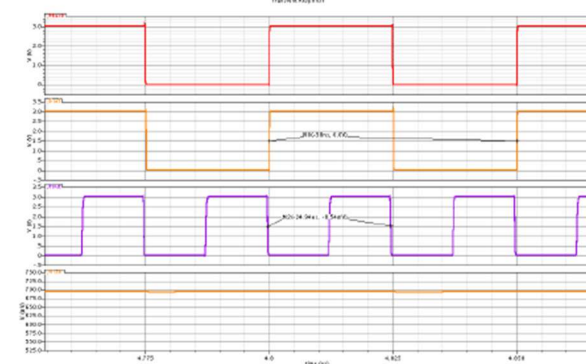
Simulación a 770 MHz Configuración 1



Simulación a 40 MHz Configuración 3b



Simulación a 350 MHz Configuración 2a



Simulación a 20 MHz Configuración 2b

Figura 26: Simulaciones varias con condición inicial en el voltaje de control

A continuación se presentan resultados de simulación del zero-delay buffer para una frecuencia de 100MHz con un factor de división igual a 1 en el lazo de retroalimentación. Se activaron ambos bancos de buffers de salida y se colocó una carga de 30pF en cada uno de los 8 buffers. Se fijó una condición inicial en el voltaje de control de 1V. El tiempo de amarre fue de 5.3 us y el voltaje de control final fue de 0.733V. La corriente promedio consumida por el sistema fue 204.36mA. El error de fase estático medido en el flanco de bajada de la señal de entrada y de la señal de salida fue de 270ps. Las gráficas de los voltajes de control, señales de referencia y salida se presentan en la figura 27.

DISEÑO DE UN ZERO-DELAY BUFFER

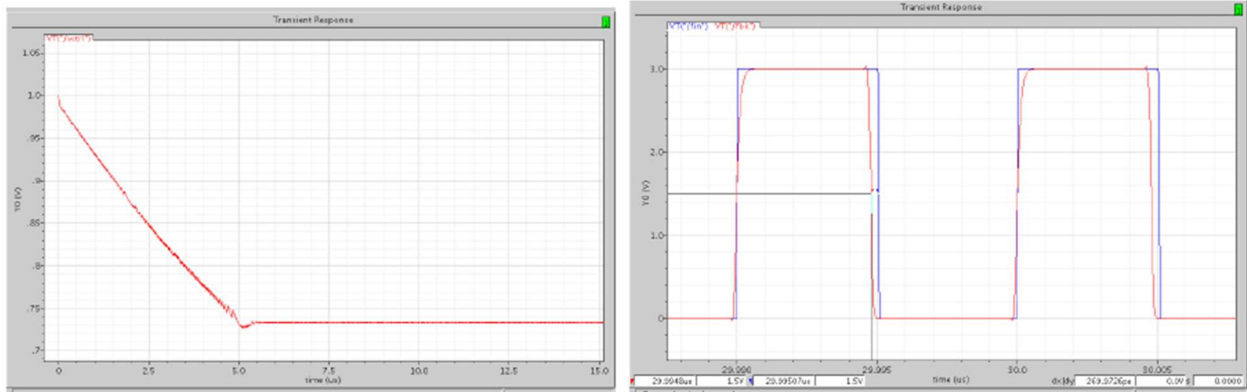


Figura 27: Simulación con divisores, voltaje de control y señales de salida y referencia.

El jitter total medido máximo medido a la salida del PLL y en los bancos de buffers fue de 40ps. Los resultados se presentan en la figura 28.

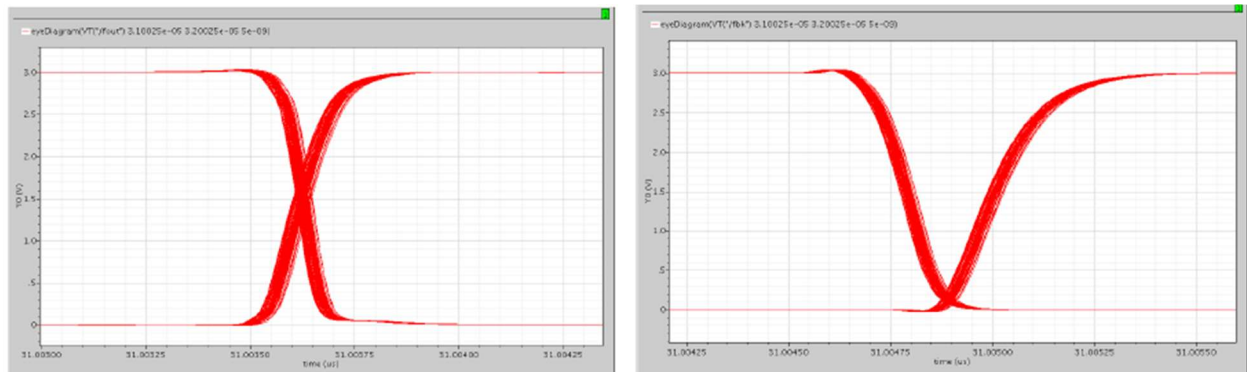


Figura 28: Mediciones de jitter (salida del PLL y salida del buffer) en la simulación de la figura 27.

Simulaciones de Spread Spectrum

Para realizar esta prueba se implementó un circuito modulador a la entrada de la señal de referencia del PLL como el que se muestra en la figura 29. Se genera una señal cuadrada con un VCO ideal modulada en frecuencia por una señal senoidal de 33kHz ($T=30.303\mu s$). Con una amplitud de 300mV se tiene una frecuencia máxima de 500MHz y una mínima de 140MHz a la salida del VCO.

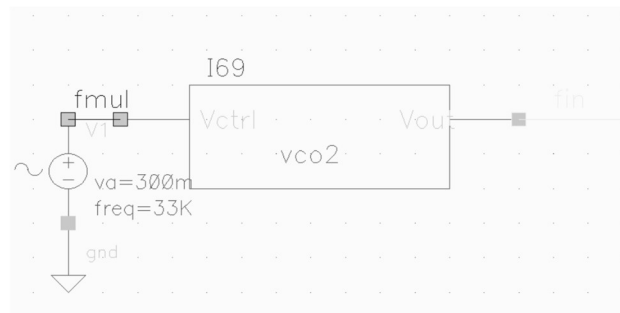


Figura 29: Circuito modulador

La figura 30 muestra la señal de modulación $fmul$ y el voltaje de control dentro del PLL. El tiempo de amarre desde un voltaje de 0V fue de 15 μs . El voltaje de control alcanza valores máximos y mínimos de 1.205V y 797mV con un periodo de 30.28 μs .

DISEÑO DE UN ZERO-DELAY BUFFER

Con 8 cargas de 30pF en cada uno de los buffers el consumo de corriente promedio fue de 429.74mA.

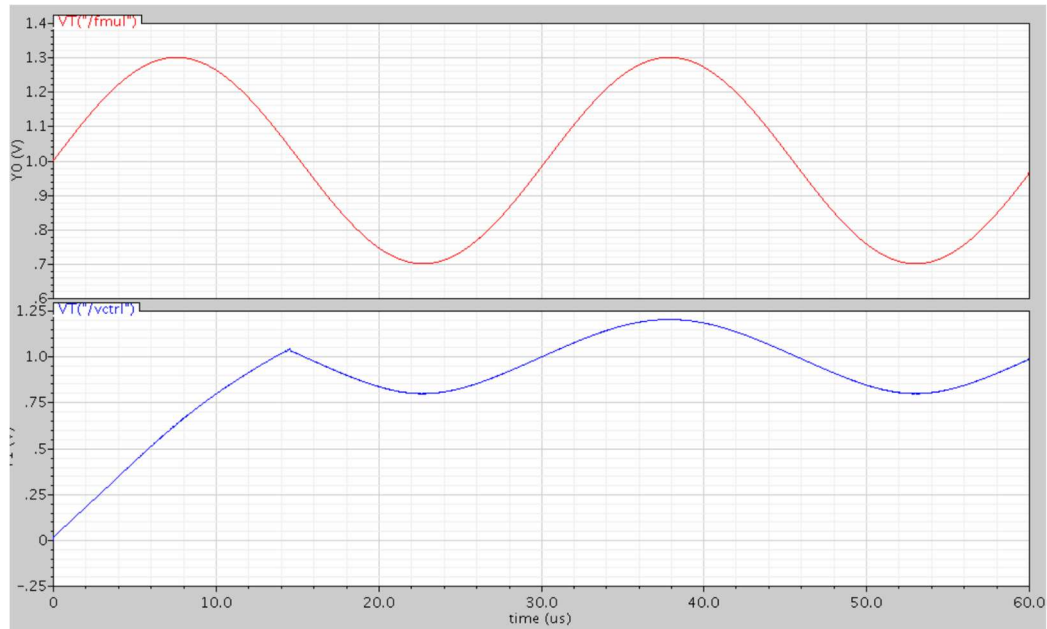


Figura 30: Ilustración del voltaje de control oscilando a 33KHz.

Simulaciones a distintas temperaturas

En la figura 31 se presentan los resultados de una simulación completa realizada a -35°C ; el voltaje de control se inicializó en 1.5V (para forzar al PLL a bajarlo) y la F_{ref} fue de 20MHz; la configuración usada fue la número 4, con lo que se logró que la frecuencia del banco A fuera igual a la frecuencia del banco B, o sea 40MHz ($T_{\text{medido}} = 24.95\text{ns}$); se obtuvo un SFO de 50ps en el flanco de subida y de 236ps en el flanco de bajada; el tiempo de amarre fue de 22.19useg y el valor final del voltaje de control fue de 619mV.

DISEÑO DE UN ZERO-DELAY BUFFER

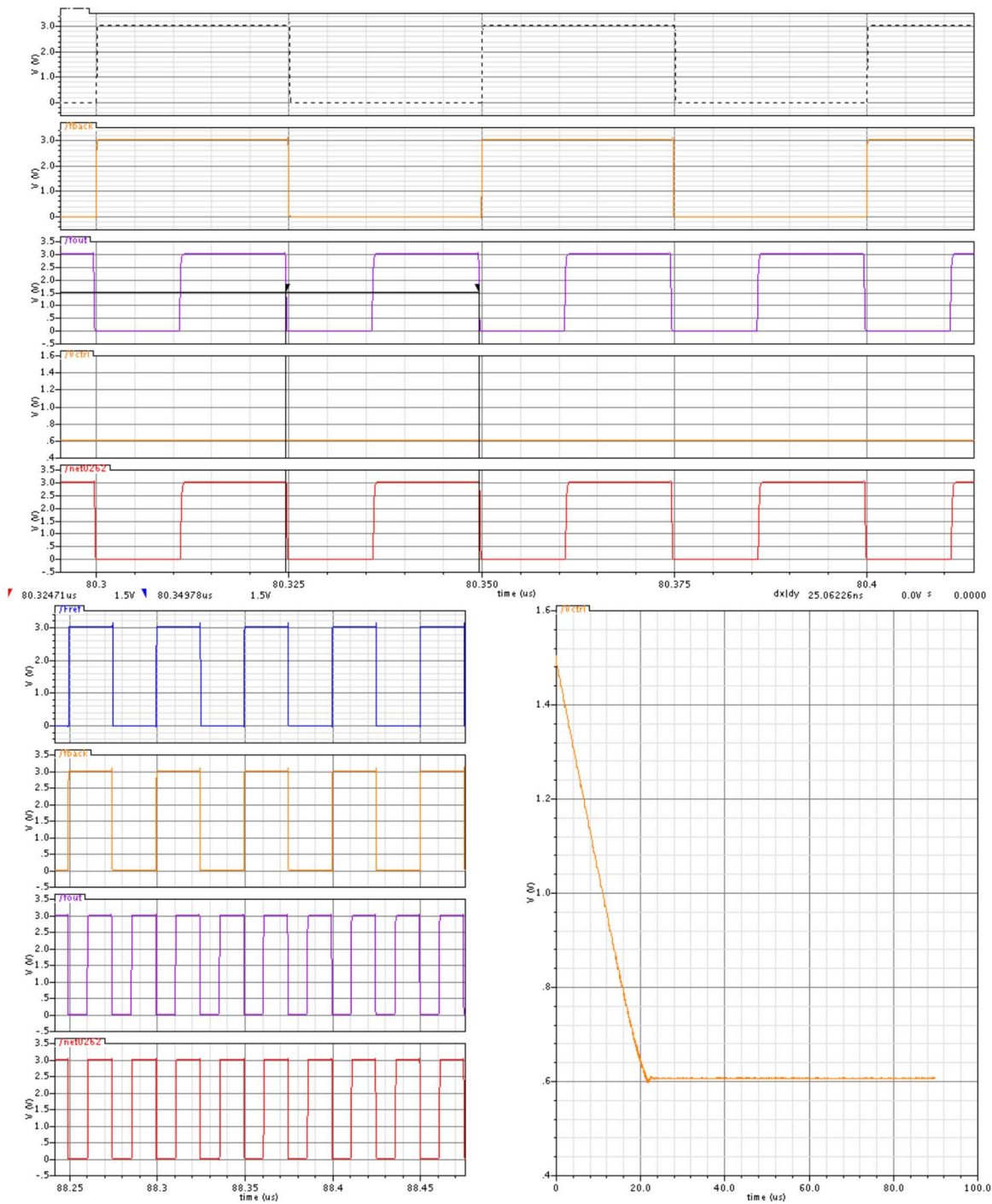


Figura 31: Simulación a -35°C

En la figura 32 se presentan los resultados de una simulación completa realizada a 70°C; el voltaje de control se colocó en un valor inicial de 0V, (por lo cual el PLL debería de incrementarlo), la Fref fue de 600MHz($T=1.67\text{ns}$); la configuración usada fue la número 2 con lo que se logró que la frecuencia del banco A fuera igual a la frecuencia de referencia de 600MHz($T_{\text{medido}}= 1.68\text{ns}$), mientras que la frecuencia del banco B fue de la mitad de dicho valor, o sea 300MHz ($T_{\text{medido}} = 3.32\text{ns}$); se obtuvo un SFO de 151ps en el flanco de

DISEÑO DE UN ZERO-DELAY BUFFER

bajada; el tiempo de amarre fue de 10.45useg y el valor final del voltaje de control fue de 1.41V. Sin embargo en esta simulación se produjo un efecto negativo en el ciclo de trabajo de la señal de salida ya que el para el caso del banco A resulto del 30%, mientras que para el caso del banco B resulto del 41%.

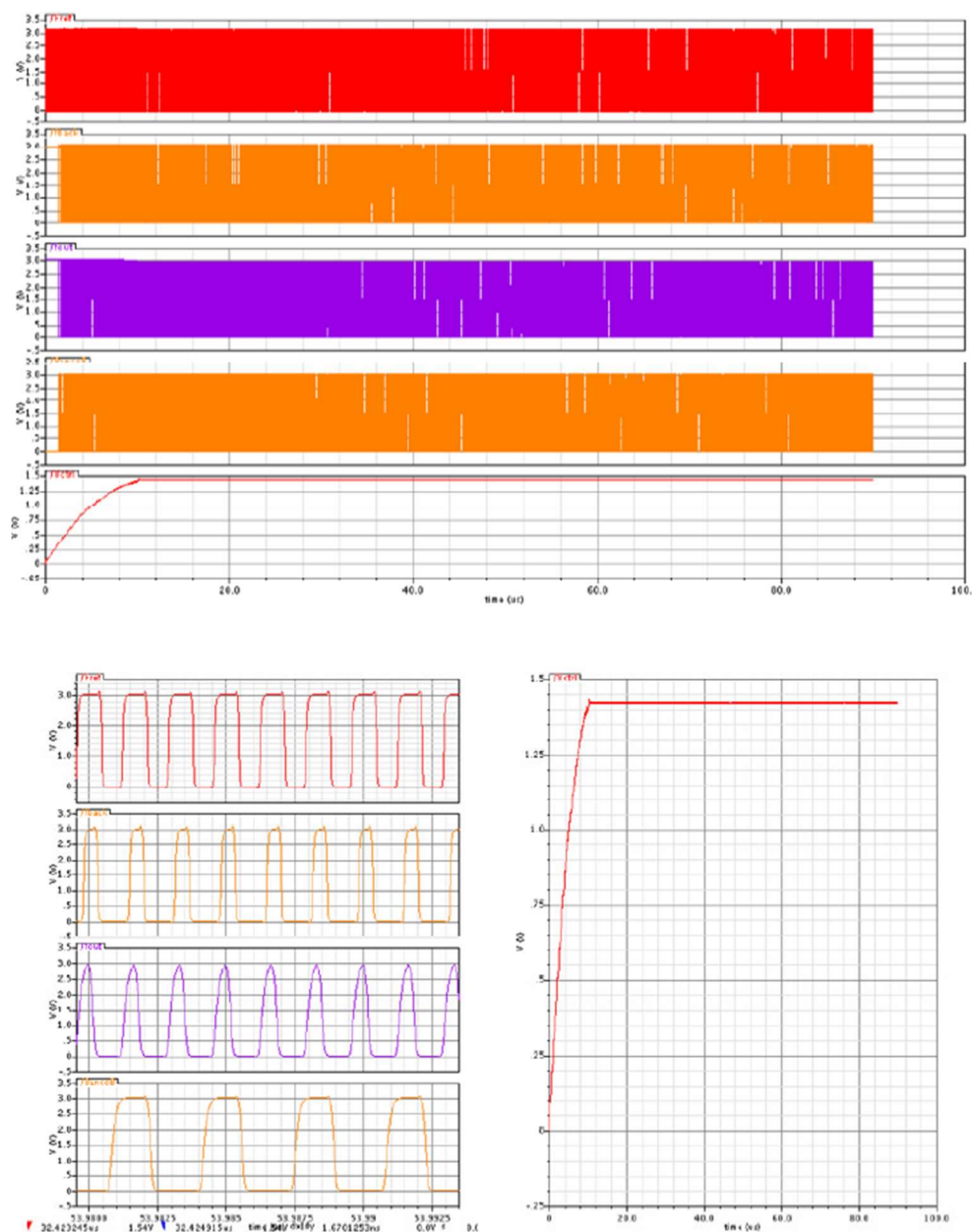


Figura 32: Simulación a 70°C

Simulación ejercitando todos los divisores.

Para realizar una prueba completa del sistema se corrió una simulación en la que se hicieron conmutar los tres divisores en una sola simulación, se cambió de la configuración 1 a la configuración 4 y después a la configuración 5, mediante fuentes de pulsos de diferentes periodos en los bits de selección de configuración. La frecuencia de referencia utilizada fue de 100MHz, a los 9.513useg el PLL amarró a 100MHz la frecuencia de salida de ambos bancos, a los 30useg se cambió a configuración 4; 1.58useg después el PLL amarró la

DISEÑO DE UN ZERO-DELAY BUFFER

frecuencia del banco A a 400MHz y la del banco B 200MHz; a los 60useg se cambió a configuración 5; 7.18useg después el PLL amarró las frecuencias de ambos bancos a 50MHz ($F_{ref}/2$).

Los STO para la primera parte (configuración 1) es de 82.3ps en el flanco de subida y de 218 en el flanco de bajada; en la segunda parte es de 82.3ps en el flanco de subida y de 218ps en el flanco de bajada; en la tercera parte fue de 589ps en el flanco de subida y de 209.91ps en el flanco de bajada.

Las gráficas de esta simulación se muestran en las figuras 33-36.

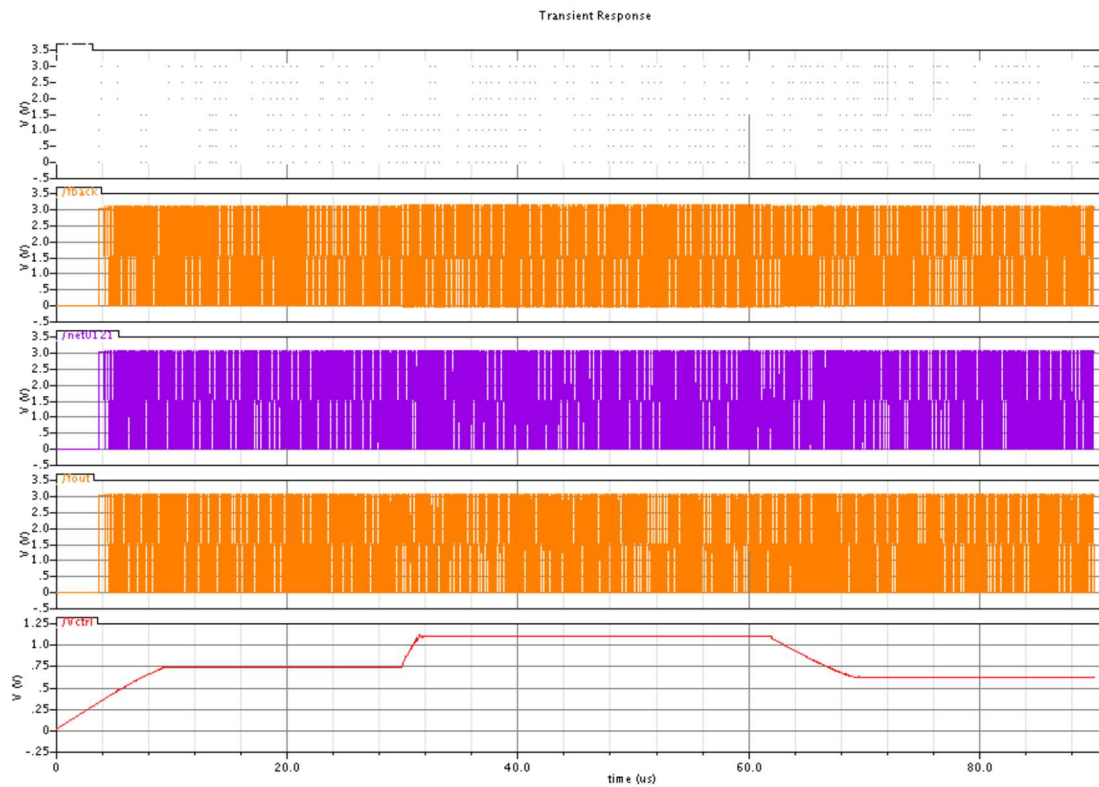


Figura 33: Simulación ejercitando los divisores.

DISEÑO DE UN ZERO-DELAY BUFFER

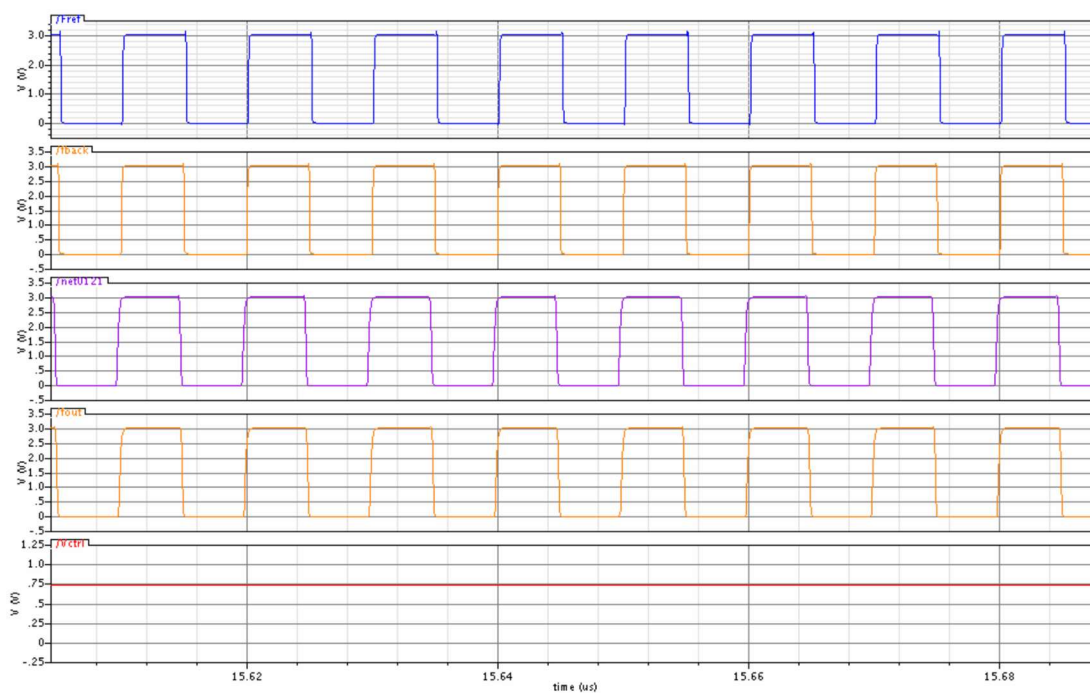


Figura 34: Parte I, ambos bancos a 100MHz



Figura 35: Parte II, Banco A a 400MHz y Banco B a 200MHz

DISEÑO DE UN ZERO-DELAY BUFFER

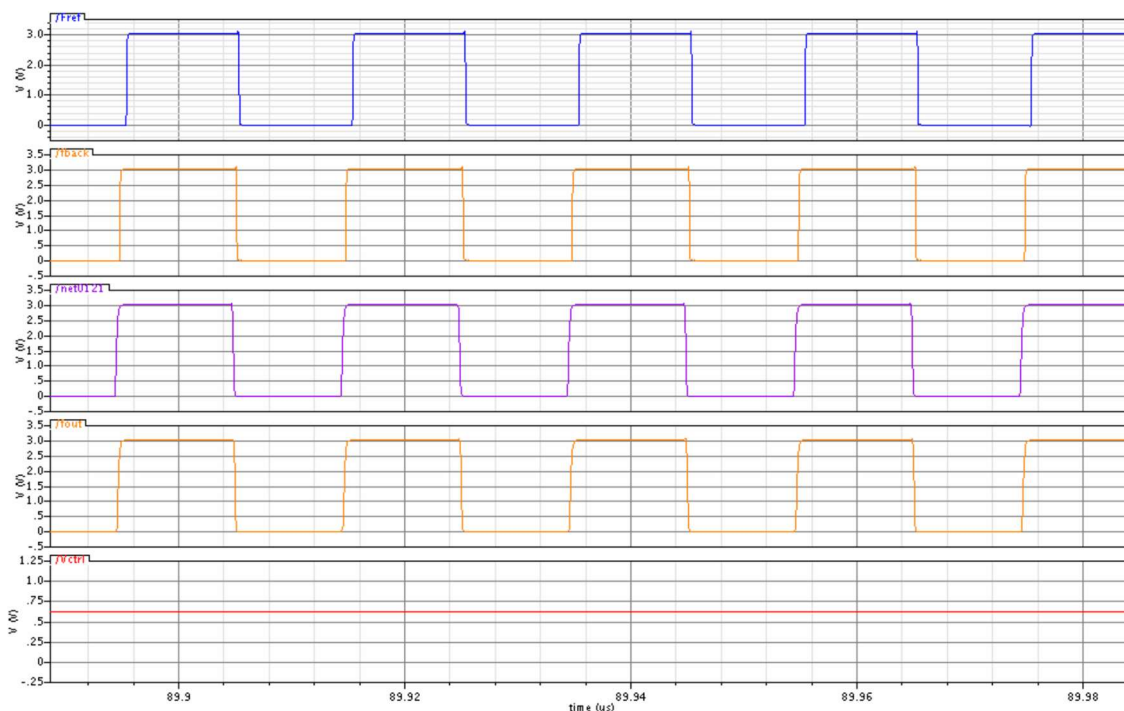


Figura 36: Parte III, Ambos bancos a 50MHz.

La corriente promedio que el circuito completo consume es de 285mA, con las 8 cargas de salida conectadas.

Conclusiones

Se ha presentado un PLL que puede ser configurado de diversas formas para enganchar la frecuencia de salida a la frecuencia de referencia o a un múltiplo o submúltiplo de la misma; ha sido probado en sus rangos extremos de operación (20-800MHz) y en las condiciones de temperatura de -35 y 70°C; los resultados de simulación son aceptables pues cumplen con un pequeño margen de error las especificaciones de diseño impuestas desde el principio del proyecto.

A pesar de que las topologías de los bloques principales del diseño (PDF, CP, Divisores y VCO) son sencillas, el desempeño que en general muestra el bloque es bueno y provee la flexibilidad necesaria para realizar las funciones propias de un zero-delay buffer. Los bloques “secundarios” como los multiplexores, selectores y buffers de salida juegan un importante papel pues en general su diseño es simple, pero al introducir el factor frecuencia y capacitancia de carga el diseño se vuelve un poco más retador, esto nos llevó a buscar y probar topologías diferentes, las cuales no por ser rebuscadas resultaron ser las mejores; al final del día estos circuitos fueron implementados de las formas típicas, lógica CMOS estática, de compuertas de transmisión y CMOS dinámica.

Los autores dejan como trabajo futuro la correcta implementación del modo de power down y un circuito de cancelación del efecto que los componentes parásitos del empaquetado TSSOP meten al circuito; la aceleración del tiempo de lock realizando mejoras en la linealidad del VCO, utilizando fuentes de corriente con un rango de trabajo mayor [4]; mejorar el tiempo de respuesta del CP mediante el uso de estructuras “current steering” [5]-[6] en lugar de arquitecturas de conmutación y acelerar el tiempo Tcq de los FF del PFD sin necesidad de utilizar lógica dinámica para evitar sobretiros a la salida.

Anexo 1

Códigos Verilog-A para el macromodelado.

Compuerta NAND

```
module and21va(ina, inb, out);
    input ina, inb;
    output out;
    electrical ina, inb, out;
    parameter real vdd=3.0;
    parameter real tdelay=5e-12, trise=50e-12, tfall=50e-
12;
    integer dataoa, datob, andfl;

    analog begin
        @(initial_step) begin
            if (V(ina)>(vdd/2))
                dataoa=1;
            else
                dataoa=0;
            if (V(inb)>(vdd/2))
                datob=1;
            else
                datob=0;
        end
        @(cross((V(ina)-vdd/2),+1))
        dataoa=1;
        @(cross((V(ina)-vdd/2),-1))
        dataoa=0;
        @(cross((V(inb)-vdd/2),+1))
        datob=1;
        @(cross((V(inb)-vdd/2),-1))
        datob=0;
        andfl=(dataoa&&datob);
        V(out) <+ transition(andfl*vdd,tdelay,trise,tfall);
    end
endmodule
```

Flip Flop

```
module ffdpr(d, clk, r, q, qb);
    input d, clk, r;
    output q, qb;
    electrical d, clk, r, q, qb;
    parameter real vdd=3.0;
    parameter real tdelay=5e-12, trise=50e-12, tfall=50e-
12;
    integer reset, data, clockdata;

    analog begin
        @(initial_step) begin
            if (V(r)>(vdd/2))
                begin
                    reset=0;
                    clockdata=data*reset;
                end
            else
                reset=1;
            if (V(d)>(vdd/2))
                data=1;
            else
                data=0;
            if (V(clk)>(vdd/2))
                clockdata=data*reset;
        end

        @(cross((V(r)-(vdd/2)),+1))
        begin
            reset=0;
            clockdata=data*reset;
        end
    end
```

```
        @(cross((V(r)-(vdd/2)),+1))
        reset=1;
        @(cross((V(d)-(vdd/2)),+1))
        data=1;
        @(cross((V(d)-(vdd/2)),+1))
        data=0;
        @(cross((V(clk)-(vdd/2)),+1))
        clockdata=data*reset;
        V(q)<+transition((clockdata*vdd),tdelay,tfall,trise);
        V(qb)<+transition(!clockdata*vdd,tdelay,tfall,trise);
    end
```

Charge-pump

```
module charge_pump( UP, DOWN, OUT, up_cur, dn_cur );
    input UP, DOWN, up_cur, dn_cur;
    output OUT;
    electrical UP, DOWN, up_cur, dn_cur, OUT;
    integer up_flag, dn_flag;
    real up_current, dn_current, vth;

    analog begin
        @(initial_step) begin
            up_current = V(up_cur)*1e-6;
            dn_current = V(dn_cur)*1e-6;
            vth = 0.9;
            if (V(UP)>vth)
                up_flag = 1;
            else
                up_flag = 0;
            if (V(DOWN)>vth)
                dn_flag = 1;
            else
                dn_flag = 0;
        end
        @(cross(V(UP)-vth, +1)) begin
            up_flag = 1;
        end
        @(cross(V(DOWN)-vth, +1)) begin
            dn_flag = 1;
        end
        @(cross(V(UP)-vth, -1)) begin
            up_flag = 0;
        end
        @(cross(V(DOWN)-vth, -1)) begin
            dn_flag = 0;
        end
        I(OUT) <+ (up_flag * up_current) - (dn_flag *
dn_current);
    end
```

VCO

```
module vco2(Vctrl, Vout) ;
    input Vctrl;
    output Vout;
    electrical Vctrl,Vout;
    parameter real Vmin=0.5165;
    parameter real Vmax=1.7873;
    parameter real Fmin=20e6;
    parameter real Fmax=800e6;
    parameter real vlow=0;
    parameter real vhigh=3.0;
    parameter real tt=100p;
    real freq, phase, n;
    integer state;

    analog begin
```


DISEÑO DE UN ZERO-DELAY BUFFER

```

    freq=(V(Vctrl)-Vmin)*(Fmax-Fmin)/(Vmax-
Vmin)+Fmin;
    if (freq>Fmax) freq=Fmax;
    if (freq<Fmin) freq=Fmin;
    phase=idtmod(freq, 0, 1.0,-0.5);
    @(cross(phase-0.25,+1))
        n=vhigh;
    @(cross(phase+0.25,+1))
        n=vlow;
    V(Vout) <+ transition(n,0,tt);
end
endmodule
```

Referencias

- [1] Shu, K., Sánchez-Sinencio, E., "CMOS PLL Synthesizers: Analysis and Design", Springer, 2005.
- [2] A 200-MHz CMOS Phase_Locked Loop with Dual Phase Detectors. Kurt M. Ware, Hae-Seung Lee, Charles G. Sodini. IEEE Journal of Solid-State Circuits, VOL. 24, NO. 6, December 1989.
- [3] Rhee, W., "Design of High Performance CMOS Charge Pumps in Phase-Locked Loops", IEEE Intl. Symp. On Circuits and Systems, vol. 2, pp. 545-548, 1999.
- [4] A low-voltage MOS cascode current mirror for all current levels. Bradley A. Minch. Circuits and Systems, 2002, MWSCAS-2002. The 2002 45th Midwest Symposium
- [5] Chang, Robert, C., Kuo, Lung-Chih, "A new Low-Voltage Charge Pump circuit for PLL", IEEE Intl. Symp. on Circuits and Systems, vol. 5, pp. 701-704, 2000
- [6] Juárez-Hernández E., Díaz-Sánchez, A., "A novel CMOS Charge-Pump Circuit with Positive feedback for PLL Applications", Instituto Tecnológico de Chihuahua, pp. 283-286, ELECTRO 2001.
- [7] Diseño de un sintetizador de frecuencia integrado para RF (2.4 GHz) en tecnología cmos de 0.35 μm Angel María Gómez Argüello, João Navarro Soares Jr.

C. Generador de Reloj con Modulación de Espectro Disperso

INSTITUTO TECNOLÓGICO Y DE ESTUDIOS SUPERIORES DE OCCIDENTE

RECONOCIMIENTO DE VALIDEZ OFICIAL, ACUERDO S.E.P. No. 86990
DE FECHA 3 DE DICIEMBRE DE 1986

DEPARTAMENTO DE ELECTRÓNICA, SISTEMAS E INFORMÁTICA
ESPECIALIDAD EN DISEÑO DE CIRCUITOS INTEGRADOS



**GENERADOR DE RELOJ CON MODULACIÓN DE ESPECTRO
DISPERSO.**

**Reporte Proyecto Final de la Especialidad en Diseño de Circuitos
Integrados**

QUE PARA OBTENER EL DIPLOMA DE

ESPECIALISTA EN DISEÑO DE CIRCUITOS INTEGRADOS

PRESENTAN

ERNESTO AGUILAR VILLA

EDGAR OROPEZA GUZMÁN

MAURILIO ANDREY ROBLES RAMOS

GENERADOR DE RELOJ CON MODULACIÓN DE ESPECTRO DISPERSO

DIRECTORES DE TESIS

M. en C. ESDRAS JUÁREZ HERNÁNDEZ

M. en C. FEDERICO LOBATO LÓPEZ

TLAQUEPAQUE, JALISCO JULIO DE 2007.

GENERADOR DE RELOJ CON MODULACIÓN DE ESPECTRO DISPERSO

GENERADOR DE RELOJ CON MODULACIÓN DE ESPECTRO DISPERSO

EDCI (2007)

ITESO

Especialidad en Diseño de Circuitos Integrados

Tlaquepaque, Jal., México

TÍTULO: **Generador de Reloj con Modulación de Espectro Disperso**

AUTORES: Ernesto Aguilar Villa
Ingeniero en Electrónica y Computación (Centro de Enseñanza
Técnica Industrial, CETI, México).
Edgar Oropeza Guzmán
Ingeniero en Electrónica y Comunicaciones (Instituto
Tecnológico de Monterrey, campus Guadalajara, México).
Maurilio Andrey Robles Ramos
Ingeniero Comunicaciones y Electrónica (Universidad de
Guadalajara, CUCEI, México).

DIRECTORES DE PROYECTO FINAL: Esdras Juárez Hernández
Ingeniero en Electrónica (Benemérita Universidad Autónoma de
Puebla, Puebla, México)
Maestro en Ciencias (Instituto Nacional de Astrofísica, Óptica y
Electrónica INAOE, Puebla, México)
Federico Lobato López
Ingeniero en Electrónica (Benemérita Universidad Autónoma de
Puebla, Puebla, México)
Maestro en Ciencias (Instituto Nacional de Astrofísica, Óptica y
Electrónica INAOE, Puebla, México)

NÚMERO DE PÁGINAS: vi, 91

GENERADOR DE RELOJ CON MODULACIÓN DE ESPECTRO DISPERSO

GENERADOR DE RELOJ CON MODULACIÓN DE ESPECTRO DISPERSO

INDICE

INDICE	iii
INTRODUCCIÓN	1
CAPITULO 1. BOMBA DE CARGA “CHARGE PUMP”	4
1.1 Introucción	4
1.1.1 Concepto de Bomba de Carga	4
1.1.2. Bomba de Carga de Chang	5
1.1.3. Bomba de Carga con Retroalimentación Positiva y Re-uso de Corriente	7
1.2. Diseño de la Bomba de Carga	7
1.2.1. Modelo de Pequeña señal	8
1.3. Espejos de Corriente	11
1.3.1. Introducción	11
1.3.2. Espejo Simple	11
1.3.3. Espejo Cascode Simple	13
1.3.4. Espejo de Corriente de Amplitud Maximizada	14
1.4. Desarrollo de la Bomba de Carga con Wscm	17
1.5. Detector de Frecuencia y Fase	19
1.6. Esquema de Prueba	23
1.6.1. Cálculo del Filtro	24
1.6.2. Resultados Obtenidos.	26
 CAPITULO 2. OSCILADOR CONTROLADO POR VOLTAJE	 31
2.1 Descripción General	31
2.2 Diseño del "Medio Búfer"	32
2.3 Análisis de Cargas	34
2.4 Diseño de Celdas de Retardo	37
2.4.1 Diseño de la fuente de corriente	37
2.4.2 Diseño del par diferencial	39
2.4.3 Diseño de Cargas	40
2.5 Diseño del "Búfer de Control"	43
2.6 Diseño del Amplificador	44
2.6.1 Amplificador diferencial	45
2.6.2 Malla de Polarización	47
2.7 Frecuencia de Oscilación	49
2.8 Resultados Pre-Layout	52
2.8.1 Celda de réplica	52
 CAPITULO 3. MODULADOR DE ESPECTRO DISPERSO	 64
3.1. Introducción	64
3.2. Fundamentación Teórica	66
3.3. Diseño del Modulador	68

GENERADOR DE RELOJ CON MODULACIÓN DE ESPECTRO DISPERSO

3.3.1. Oscilador de Relajación	68
3.3.2. Filtro pasa banda	74
3.3.3. Bloque Transconductor g_{m1}	82
3.3.4. Bloques Transconductores g_{m2} y g_{m3}	84
3.4. Esquema de Prueba	85
 CONCLUSIONES	 87
 REFERENCIAS	 90
 APENDICE A	 91

INTRODUCCIÓN

Los sistemas de generación de señales de reloj representan una parte fundamental en la arquitectura de circuitos integrados (CI) digitales o mixtos. De su funcionamiento depende la sincronía en el transporte y procesamiento de datos por parte de otros bloques dentro del CI. Su diseño requiere, en la mayoría de las ocasiones, de un lazo de control denominado comúnmente lazo de amarre por fase (“Phase Locked Loop, PLL” por sus siglas en inglés). Para la realización de estos sistemas existen diversas arquitecturas, eligiéndose siempre la más adecuada para cada aplicación. En este trabajo, se han seleccionado diferentes topologías para cada uno de los sub-bloques que componen el PLL, los cuales en conjunto, permiten optimizar el desempeño global y las características del sistema.

El circuito detector de frecuencia y fase (PFD) en conjunto con la bomba de carga tienen como función principal proporcionar el voltaje de control necesario (V_{CTRL}) para que el Oscilador Controlado por Voltaje (VCO) pueda trabajar a una determinada frecuencia; este voltaje cambiará dependiendo de la diferencia de fase y frecuencia de la señal de referencia (F_{REF}) y la que proporciona el PLL (F_{OUT}), por tal razón se requiere de una precisión adecuada en la inyección de carga para que de esta manera se mantenga la salida a una frecuencia estable, minimizando así la figura de ruido de fase (“Phase Noise”). La descripción del diseño a nivel transistor de los bloques PFD y bomba de carga se presenta en el Capítulo 1.

Debido a que en diseños típicos de una bomba de carga (Charge Pump) se utilizan fuentes de corriente que tienen pérdidas estáticas en el valor nominal de corriente (las cuales aumentan la potencia estática que un CI necesita disipar), se ha pensado en utilizar una topología que permita reutilizar la corriente proporcionada por las fuentes; con lo cual se aumenta la respuesta de la bomba de carga, y a su vez se reduce la potencia consumida. Es bien conocido que la corriente inyectada por el espejo de corriente depende en gran medida del voltaje que se tiene en el mismo (V_{DS}), lo cual hace que la corriente reflejada por este sea diferente o varíe en lugar de mantenerse constante; estas variaciones se pueden mantener al mínimo mediante un buen apareamiento (matching) mediante técnicas complejas de layout. El reto en el diseño de la fuente de corriente es hacer que la corriente se mantenga constante en el rango de operación del PLL.

GENERADOR DE RELOJ CON MODULACIÓN DE ESPECTRO DISPERSO

El circuito del detector de fase y frecuencia de cuatro estados (PDF) permite minimizar el fenómeno conocido como zona muerta, el cual introduce en el PLL la generación indeseada de ruido de fase, componentes espurias y una desviación en fase estática. El diseño adecuado de este circuito, en conjunto con la bomba de carga, permite obtener un desempeño adecuado en el PLL.

El oscilador controlado por voltaje es el encargado de generar una señal de frecuencia única para un determinado voltaje de control de entrada. La respuesta en frecuencia del VCO diseñado en este trabajo es lineal en al menos una década y tiene un esquema de auto-polarización para tener cierta inmunidad a variaciones en el voltaje de alimentación.

En el diseño y realización de osciladores controlados son ampliamente utilizadas las celdas diferenciales como bloques de retardo. Estas son amplificadores de transconductancia que, si se diseñan y polarizan adecuadamente, pueden llegar a tener el adecuado margen lineal de respuesta al rango de frecuencias deseado y que ayudan a tener un parámetro lineal dentro de la estabilidad del PLL. El hecho de tener celdas diferenciales permite minimizar el ruido de fase, por ser de modo común, además se tienen salidas a 180° por el hecho de tener un número par de celdas (4 celdas de retardo) y por tanto se tiene la posibilidad de utilizar las salidas para un esquema de modulación QPSK. La descripción del diseño a nivel transistor del oscilador controlado por voltaje se presenta en el Capítulo 2.

El modulador es el encargado de generar una señal periódica con una forma de onda específica para propósitos de disminuir la emisión electromagnética del sistema. Utilizando un oscilador, un filtro y bloques de suma se obtiene una forma de onda con características especiales que al introducirse al sistema como señal de modulación disminuye problemas de interferencia típicos en señales de reloj. La señal generada se introduce al oscilador controlado por voltaje para modificar sus parámetros de polarización y variar así la frecuencia de salida en proporción a la señal de modulación.

La técnica de modulación de espectro disperso dentro de un PLL no es nueva, sin embargo la generación de perfiles de modulación con características específicas es un campo con un alto potencial de experimentación y aplicación. Mediante la selección de parámetros como frecuencia, amplitudes y forma de onda de la señal de modulación, es posible variar las características del espectro de una señal

GENERADOR DE RELOJ CON MODULACIÓN DE ESPECTRO DISPERSO

de reloj consiguiendo reducciones en la emisión de radiación electromagnética en distintas frecuencias (fundamental y armónicos). La generación de la señal moduladora conlleva al diseño de filtros y osciladores de baja frecuencia, lo cual impone retos en la generación de circuitos que puedan ser integrados en sistemas con tecnologías sub-micrométricas. Técnicas como “reducción de transconductancias”, “multiplicación de impedancias” y “modo de corriente” se utilizarán para el diseño de los mismos. La descripción del diseño a nivel transistor del bloque modulador se presenta en el Capítulo 3.

El diagrama a bloques del generador de señal de reloj se presenta en la figura A. Se observa el lazo cerrado de control del generador de reloj, el cual consta, como ya se ha mencionado, de 3 bloques principales más un elemento modulador (SSM).

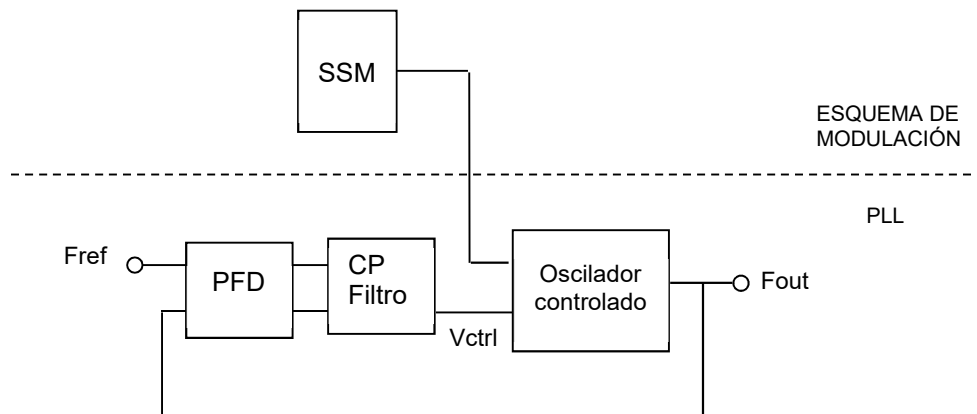


Figura A: Diagrama a bloques del generador de señal de reloj.

En el presente trabajo se emplea la tecnología AMIS CMOS de 0.5 μ m como herramienta de diseño. El apéndice A contiene los parámetros de dicha tecnología extraídos de la página web del fabricante MOSIS.

CAPITULO 1. BOMBA DE CARGA (CHARGE PUMP)

1.1 INTRODUCCIÓN

1.1.1 Concepto de Bomba de Carga

La bomba de carga es un circuito el cual entrega una corriente proporcional a la diferencia de fases entre la entrada y la salida del PLL. Esta formado por dos interruptores y dos fuentes de corriente; dependiendo del tiempo que los interruptores estén activados es la cantidad de corriente que se inyecta, o la cantidad de corriente que se extrae del nodo de salida. El diagrama conceptual de la bomba de carga se muestra en la figura 1.1.

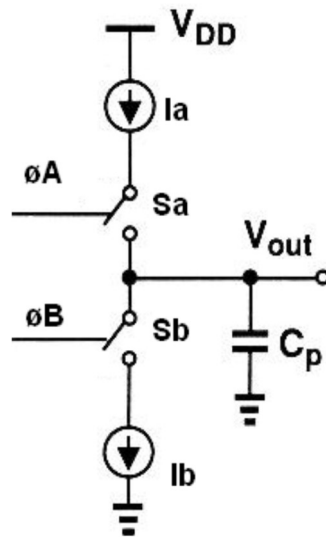


Figura 1.1. Diagrama conceptual de la bomba de carga (Charge-Pump).

De acuerdo con el diagrama conceptual de la bomba de carga de la figura 1.1, el circuito inyecta una corriente simétrica tanto en la carga como en la descarga del nodo V_{out} . Aún cuando este circuito resulta ser simple conceptualmente, al pasar de su modelo ideal a su realización a nivel transistor, se tienen muchos efectos de segundo orden no deseados, tales como:

- Corrientes de fuga.
- Voltaje de salida limitado.

GENERADOR DE RELOJ CON MODULACIÓN DE ESPECTRO DISPERSO

- Diferencia en el manejo de corriente de S_a y S_b

La corriente de fuga es la corriente que fluye de un circuito inactivo a tierra. La diferencia en el manejo de corriente de S_a y S_b es debida a que los interruptores tipo “P” y “N” poseen diferentes movilidades, lo cual puede corregirse igualando sus características mediante el adecuado dimensionamiento de los transistores. De igual forma, el voltaje de salida está limitado por la polarización de las fuentes de corriente y de los interruptores. Por otro lado, la respuesta de los interruptores a cambios en la entrada introduce diferentes retardos, los cuales deben compensarse para lograr la conmutación simétrica durante la carga y descarga del nodo de salida.

1.1.2. Bomba de Carga de Chang

La arquitectura propuesta por Chang [1], la cual se muestra en la figura 1.2, posee un par diferencial, las señales Up , $Down$ y sus complementos. El par diferencial funciona como un interruptor de corriente, de forma que cuando la señal Up es mayor que la señal de \overline{Up} , la totalidad de la fuente de corriente I_B circula por M_2 y es reflejada por medio del espejo de corriente formado por M_3 y M_4 hacia la salida. Por otro lado, cuando la señal Up es menor que \overline{Up} , la corriente que conducía M_2 ahora es conducida por M_1 .

Debido a la capacitancia parásita introducida por M_2 (C_{DB}) en el nodo (A o B) y a la conexión en diodo de M_3 , una pequeña corriente es generada en M_3 y reflejada por M_4 a la salida, introduciendo variaciones no deseadas en el voltaje de control del VCO. Para resolver este problema, se agrega el espejo de corriente formado por M_5 y M_6 , el cual al inyectar una corriente adicional, carga rápidamente el nodo A hacia V_{DD} . Sin embargo, esta modificación reduce la corriente total a la salida, ya que la corriente total reflejada, es igual a la diferencia entre I_B e I_S , haciendo necesario el incrementar I_B para compensarlo, y lo que a su vez se traslada en un incremento del consumo de potencia estático del circuito.

GENERADOR DE RELOJ CON MODULACIÓN DE ESPECTRO DISPERSO

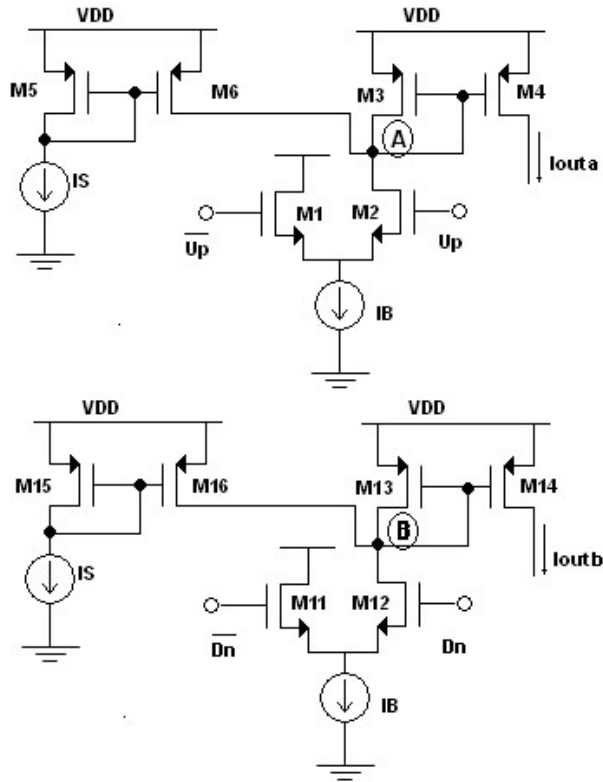


Figura 1.2. Bomba de carga propuesto por Chang [1].

Una solución es que la corriente que circula por M_1 sea suministrada a M_5 , de esta manera la corriente de I_B servirá para cargar el nodo A, provocando de esta manera que el nodo A sea cargado más rápido que en la anterior arquitectura, evitando el uso del espejo de corriente del el circuito propuesto por Chang. Esta arquitectura es la bomba de carga con re-uso de corriente que se muestra en la figura 1.3 [2].

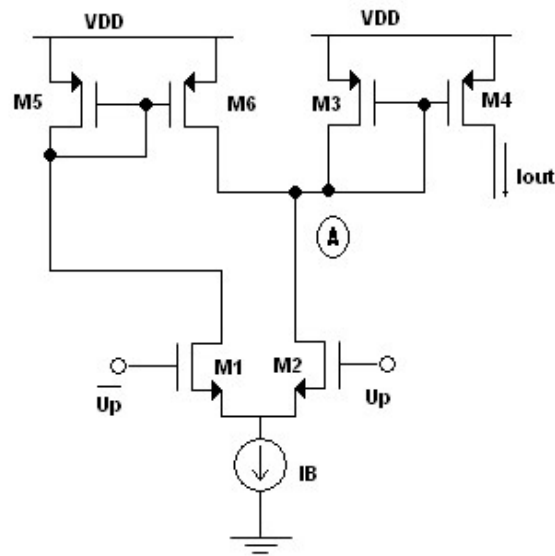


Figura 1.3. Bomba de carga con corriente de re-uso.

1.1.3. Bomba de Carga con Retroalimentación Positiva y Re-uso de Corriente

Para mejorar el desempeño de la arquitectura se agregó una retroalimentación positiva a M_1 proveniente del nodo A, con lo cual se obtiene el circuito de la bomba de carga con retroalimentación positiva y re-uso de corriente mostrada en la figura 1.4 [1]. Con esta arquitectura se mejora la respuesta y velocidad de la bomba de carga debido a que la corriente inyectada por el transistor de retroalimentación reduce el efecto del nodo de alta impedancia de la arquitectura anterior. Dicha corriente dependerá de las relaciones entre M_3 y M_4 . Esta arquitectura es la que se va a utilizar en este trabajo.

GENERADOR DE RELOJ CON MODULACIÓN DE ESPECTRO DISPERSO

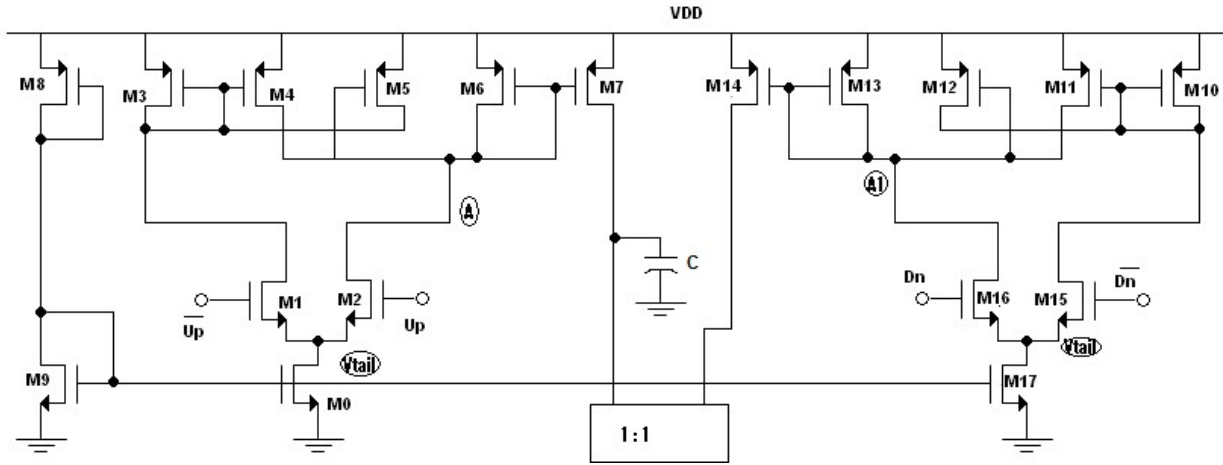


Figura 1.4. Bomba de carga con corriente de re-uso y retroalimentación positiva.

1.2. DISEÑO DE LA BOMBA DE CARGA

En la figura 1.4 se puede apreciar el diagrama general de la arquitectura a diseñar [1]. Debido a que la bomba de carga requiere cargar y descargar el nodo de control, se necesita que tanto la carga (lado izquierdo) y la descarga (lado derecho) sean lo más simétricas posibles. Idealmente estas corrientes son iguales pero normalmente esto no sucede, debido a disparidades entre los dispositivos, voltajes de polarización y variaciones de proceso.

El dimensionamiento de los transistores se realiza de la salida hacia la entrada, esto es para que el circuito opere como se desea. En este diseño se desea que el transistor de salida M_7 opere en saturación hasta un voltaje de 4V, es decir, un 80% de V_{DD} (voltaje de alimentación positivo) y una corriente de $100\mu A$. Los transistores M_3 , M_6 , M_7 , M_{10} , M_{13} , M_{14} son iguales debido a que se necesita tener el mismo comportamiento tanto en la carga como en la descarga y sus dimensiones están dadas por:

$$\left(\frac{W}{L}\right)_{M_3} = \frac{2I_D}{K_P * V_{DSAT}^2} = \frac{200\mu A}{\frac{19.5\mu A}{V^2} (0.5V)^2} = \frac{10.10V^2}{(-0.8V)^2} = 15.78 \quad (1.1)$$

Para el dimensionamiento de los transistores del par diferencial, se consideró un voltaje de modo común de entrada de 2.5V (o $V_{DD}/2$), y un voltaje en la fuente de corriente (V_{TAIL}) de 1.25V. El cálculo de las dimensiones M_1 , M_2 , M_{15} , M_{16} se encuentran en la ecuación 1.2.

GENERADOR DE RELOJ CON MODULACIÓN DE ESPECTRO DISPERSO

$$\left(\frac{W}{L}\right)_{M1} = \frac{2I_D}{K_N * V_{DSAT}^2} = \frac{200\mu A}{\frac{59.5\mu A}{V^2}(0.5V)^2} = \frac{3.361V^2}{(0.5V)^2} = 13.44 \quad (1.2)$$

La fuente de corriente se realizó con el transistor M_0 (en saturación), el cual proporcionará una corriente de $100\mu A$, mientras que el voltaje de compuerta M_0 necesario para que el espejo de corriente funcione como se espera, es determinado por el transistor M_9 . El cálculo de M_0 , M_9 , M_{17} es mostrado en la ecuación 1.3.

$$\left(\frac{W}{L}\right)_{M0} = \frac{2I_D}{K_N * V_{DSAT}^2} = \frac{200\mu A}{\frac{59.5\mu A}{V^2}(0.5V)^2} = \frac{3.361V^2}{(0.5V)^2} = 14.44 \quad (1.3)$$

La polarización del espejo de corriente se lleva a cabo por el transistor M_8 , el cual nos proporcionará el voltaje de compuerta del transistor M_0 , por medio de la diferencia de voltaje generadas por M_8 y M_9 . El cálculo de M_8 se encuentra en la ecuación 1.4.

$$\left(\frac{W}{L}\right)_{M8} = \frac{2I_D}{K_P * V_{DSAT}^2} = \frac{200\mu A}{\frac{19.5\mu A}{V^2}(0.5V)^2} = \frac{10.10V^2}{(-2.797V)^2} = 1.29 \quad (1.4)$$

1.2.1. Modelo de Pequeña señal

La figura 1.5 muestra el modelo de pequeña señal del circuito principal de la bomba de carga (“core”). A partir de este modelo se puede obtener la ganancia en pequeña señal del circuito.

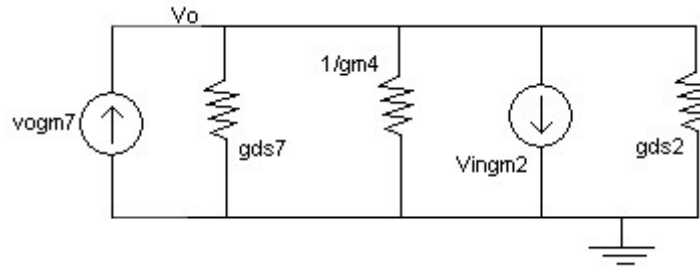


Figura 1.5. Modelo de pequeña señal de la bomba de carga.

GENERADOR DE RELOJ CON MODULACIÓN DE ESPECTRO DISPERSO

Aplicando la ley de corrientes de Kirchoff al nodo V_O obtenemos:

$$V_{IN} * g_{m_2} - V_o * g_{m_7} + V_o (g_{ds_2} + g_{m_4} + g_{ds_7}) = 0 \quad (1.5)$$

Reordenando términos, se obtiene la ecuación 1.6.

$$\frac{V_{out}}{V_{up}} = \frac{g_{m_2}}{g_{ds_2} + g_{ds_7} + g_{m_4} - g_{m_7}} \quad (1.6)$$

Como g_{m_4} y g_{m_7} son más grandes, el efecto de g_{ds_2} y g_{ds_7} se puede despreciar, y considerando que g_{m_4} es α veces g_{m_7} tenemos que la ganancia del circuito esta dada por la ecuación 1.7.

$$\frac{V_{out}}{V_{up}} = \frac{g_{m_2}}{g_{m_4} - g_{m_7}} = \frac{g_{m_2}}{g_{m_4}(1 - \alpha)} \quad (1.7)$$

En donde α es la cantidad de retroalimentación positiva. Sustituyendo las g_m por su ecuación, obtenemos la ganancia en función del parámetro α como se muestra en la ecuación 1.8

$$\frac{V_{out}}{V_{up}} = \frac{\sqrt{\mu_n * C_{OX} * (W/L)_2 * I_D}}{\sqrt{\mu_p * C_{OX} * (W/L)_4 * I_D}} * \frac{1}{(1 - \alpha)} \quad (1.8)$$

Eliminando C_{ox} e I_D de la ecuación anterior, ésta se simplifica y da como resultado la ecuación 1.9, en la cual la relación de la ganancia depende tanto de las movilidades, como de las dimensiones de los transistores y del valor α .

$$\frac{V_{out}}{V_{up}} = \frac{\sqrt{\mu_n * (W/L)_2}}{\sqrt{\mu_p * (W/L)_4}} * \frac{1}{(1 - \alpha)} \quad (1.9)$$

GENERADOR DE RELOJ CON MODULACIÓN DE ESPECTRO DISPERSO

Analíticamente, el valor α debe ser menor a 1, ya que si este valor es superado, ocasiona que el circuito presente histéresis, lo cual ocasionaría que el circuito no cambie de estado y por lo tanto un comportamiento no deseable. En [3] se propone un valor de 0.75 (3/4) para α , con el cual se obtiene una ganancia de 4 [4]. En este trabajo se desea tener una ganancia mayor y se propone un valor de 0.81 (13/16), con lo que a la salida se obtendrá una mayor ganancia y por lo tanto una mejor respuesta a los cambios de la entrada. Como se mencionó previamente, la ganancia del circuito esta dada por la ecuación 1.10.

$$\frac{V_{out}}{V_{up}} = \frac{\sqrt{\mu_n * (W/L)_2}}{\sqrt{\mu_p * (W/L)_4}} = \frac{\sqrt{479.27 * 13.44}}{\sqrt{260.49 * 15.75}} = 6.57 \quad (1.10)$$

Las dimensiones del transistor M_4 y M_5 están dadas por la ecuación 1.11.

$$M_5 = \alpha * M_6 = 0.81 * 15.78 = 12.76 \quad (1.11)$$

El voltaje necesario para que el par diferencial pueda desviar la corriente de una rama a otra se obtiene por medio de la ecuación 1.12.

$$V_{swing} = \sqrt{2} * V_{DSAT1} = \sqrt{2} * 0.5V = 0.7071V \quad (1.12)$$

Las dimensiones obtenidas para la bomba de carga se muestran en la tabla 1.1.

Bomba de Carga						
Transistor	$I_D(\mu A)$	$V_{DSAT}(V)$	$C_{GS}(fF)$	$g_m(\mu S)$	$R_{DS}(K\Omega)$	$W(\mu m)$
M_0, M_1, M_2	100	0.5	34.37	400	400	13.44
M_{15}, M_{16}, M_{17}	100	0.5	39.12	250	277.78	13.44
M_3, M_6, M_7	100	-0.8	3.22	71.68	277.78	15.75
M_{10}, M_{13}, M_{14}	100	-0.8	3.22	71.68	277.78	15.75
M_4, M_5, M_{11}, M_{12}	81	-0.8	31.69	202.5	342.94	12.76

Tabla 1.1. Dimensiones y valores de la bomba de carga.

GENERADOR DE RELOJ CON MODULACIÓN DE ESPECTRO DISPERSO

La tabla 1.2 contiene los espejos de corrientes para la polarización de la fuente de corriente de la bomba de carga.

Espejo de Corriente de la Bomba de Carga						
Transistor	$I_D(\mu A)$	$V_{DSAT}(V)$	$C_{GS}(fF)$	$g_m(\mu S)$	$R_{DS}(K\Omega)$	$W(\mu m)$
M9	100	0.5	34.37	400	400	13.44
M8	100	-2.8	3.2	71.5	277.78	1.29

Tabla 1.2. Dimensiones y parámetros del espejo de corriente de la bomba de carga.

1.3. ESPEJOS DE CORRIENTE

1.3.1. Introducción

Un espejo de corriente es un circuito que refleja la corriente que pasa una rama de entrada a una rama de salida, para ser utilizada en otra parte del sistema. El funcionamiento de esta parte del sistema puede variar dependiendo del espejo de corriente que se use, así como de la relación entre las dimensiones del dispositivo.

1.3.2. Espejo Simple

El espejo de corriente simple (Figura 1.6), consiste en reflejar la corriente de la rama de entrada, formada por el transistor M_{21} , hacia la rama de salida compuesta por el transistor M_{20} . El transistor M_{21} se conecta en forma de diodo para generar un voltaje V_{GS} proporcional a la corriente de entrada y este voltaje a su vez, genera la polarización del transistor M_{20} , produciendo así la corriente de salida. La corriente al ser reflejada puede variar debido al V_{DS} de M_{20} , debido al efecto de modulación de la longitud del canal, con lo cual la corriente reflejada no es la misma que la corriente referencia.

GENERADOR DE RELOJ CON MODULACIÓN DE ESPECTRO DISPERSO

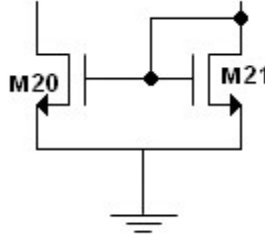


Figura 1.6. Espejo de corriente simple.

Considerando un voltaje de compuerta de 1V, las dimensiones de M₂₀ y M₂₁ quedan dadas por:

$$\left(\frac{W}{L}\right)_{M20} = \frac{2I_D}{K_N * V_{DSAT}^2} = 37.33 \quad (1.13)$$

La corriente de salida del espejo de corriente se obtiene de la ecuación 1.14.

$$I_{OUT} = \frac{\left(\frac{W}{L}\right)_{M20} (1 - \lambda V_{DS})}{\left(\frac{W}{L}\right)_{M21} (1 - \lambda V_{GS})} * I_{ref} = \frac{37.33 \mu A * (1 - 0.036 * 1V)}{37.33 \mu A * (1 - 0.036 * 1V)} * 100 \mu A \approx 100 \mu A \quad (1.14)$$

Las dimensiones obtenidas se muestran en la tabla 1.3:

Espejo de Corriente Simple						
Transistor	I _D (μA)	V _{DSAT} (V)	C _{GS} (fF)	g _m (μS)	R _{DS} (KΩ)	W(um)
M20,M21	100	0.3	95.48	666.67	400	37.33

Tabla 1.3. Dimensiones y valores del espejo simple.

La bomba de carga se probó con el espejo de corriente simple, en esta arquitectura se observa que la corriente reflejada se reduce dependiendo de la polarización del espejo, debido a que la corriente es dependiente del voltaje V_{DS}, por lo tanto el circuito no operará en las mismas condiciones al variar el voltaje de la carga, como se muestra en la figura 1.7.

GENERADOR DE RELOJ CON MODULACIÓN DE ESPECTRO DISPERSO

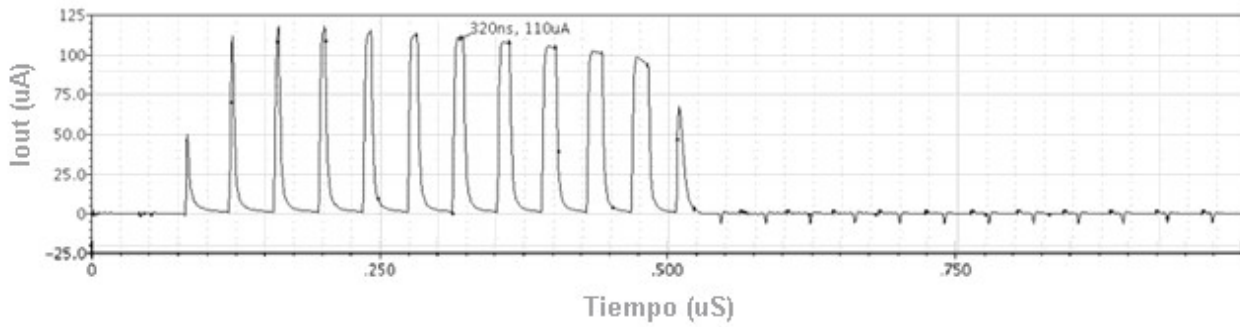


Figura 1.7. Respuesta de la bomba de carga utilizando el espejo de corriente simple.

1.3.3. Espejo Cascode Simple

El espejo cascode se muestra en la figura 1.8. Debido a que el espejo simple posee una relativa baja impedancia de salida producida por el efecto de la modulación de la longitud del canal, se necesita un diseño el cual disminuya los efectos anteriores. El espejo de corriente cascode tiene la ventaja de que el V_{DS} de M_{21} está al mismo nivel que el de M_{20} , además de que tiene una resistencia más grande a la salida sin retroalimentación. Para que este circuito funcione adecuadamente, se requiere un voltaje mínimo de polarización entre el drenador de M_{19} y tierra, el cual es necesario para que ambos transistores estén en saturación y puedan conducir la corriente deseada. Dicho voltaje está dado por: $V_{MIN} = V_{GS19} + V_{GS21} + V_{DSAT19} + V_{DSAT21} + 2V_T$. La precisión de este circuito es mayor que la del espejo simple, pero necesita un voltaje más elevado para poder operar adecuadamente.

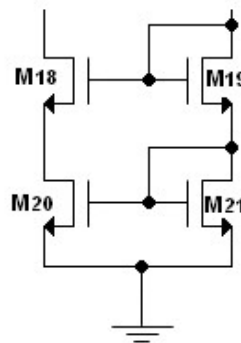


Figura 1.8. Espejo de corriente cascode.

GENERADOR DE RELOJ CON MODULACIÓN DE ESPECTRO DISPERSO

El cálculo de los transistores del espejo cascode simple M_{18} , M_{19} , M_{20} y M_{21} se muestran en la ecuación 1.15, donde $M_{18} = M_{19}$ y $M_{20} = M_{21}$.

$$\left(\frac{W}{L}\right)_{M_{20,21}} = \frac{2I_D}{K_N * V_{DSAT}^2} = \frac{3.361}{(0.3V)^2} = 37.33$$

$$\left(\frac{W}{L}\right)_{M_{18,19}} = \frac{2I_D}{K_N * V_{DSAT}^2} = \frac{3.361}{(0.3V)^2} = 37.33 \quad (1.15)$$

La bomba de carga se probó con este espejo de corriente cascode, dando como resultado una mejora en la señal de salida, pero aun así la corriente reflejada por el espejo presenta variaciones ya que al llegar al valor V_{MIN} , el circuito deja de estar en saturación y con esto se produce una disminución en la corriente reflejada, tal como se aprecia en la figura 1.9.

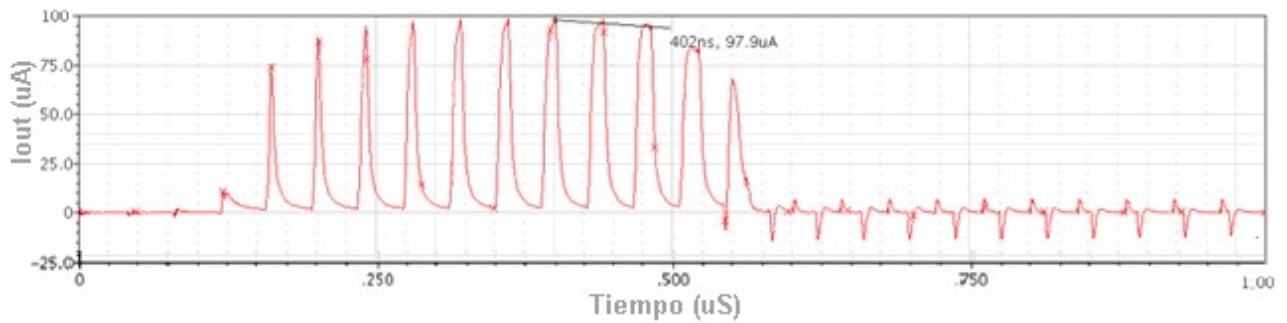


Figura 1.9. Respuesta de la bomba de carga utilizando el espejo de corriente cascode simple.

Las dimensiones obtenidas se muestran en la tabla 1.4.

Espejo de Corriente Cascode Simple						
Transistor	$I_D(\mu A)$	$V_{DSAT}(V)$	$C_{GS}(fF)$	$g_m(\mu S)$	$R_{DS}(K\Omega)$	$W(\mu m)$
M_{18}, M_{19}	100	0.3	95.48	666.67	400	37.33
M_{20}, M_{21}	100	0.3	95.48	666.67	400	37.33

Tabla 1.4. Dimensiones y valores de la fuente cascode simple.

1.3.4. Espejo de Corriente de Amplitud Maximizada

GENERADOR DE RELOJ CON MODULACIÓN DE ESPECTRO DISPERSO

La figura 1.10 muestra la configuración del espejo cascode de amplitud maximizada (Wide Swing Current Mirror “WSCM” por sus siglas en ingles). Al igual que el cascode simple, este circuito posee una impedancia de salida mayor que la del espejo de corriente simple; pero a diferencia de este, el WSCM permite reflejar la corriente en un rango mayor de operación, lo cual se obtiene al mover la polarización de los transistores M₂₁ y M₁₉, logrando que ambos transistores operen en saturación para un mayor rango de voltaje. Esto último permite que el voltaje mínimo necesario para que el circuito opere adecuadamente (V_{MIN}), sea menor que en el caso de el espejo cascode simple.

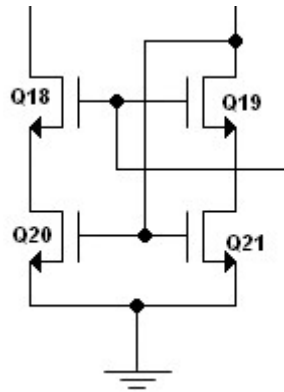


Figura 1.10. Espejo de corriente de amplitud maximizada (WSCM).

Para el diseño del WSCM primero se calculan las dimensiones de los transistores M₂₀ y M₂₁. Se desea que el voltaje V_{DMIN} para el circuito sea de 1V, por lo tanto para obtener simetría, el V_{DS} de cada uno debe ser de 0.5V y se escoge un V_{DSAT} de 0.25V, los cálculos se encuentran en la ecuación 1.16.

$$\left(\frac{W}{L}\right)_{M20,21} = \frac{2I_D}{K_N * V_{DSAT}^2} = \frac{200\mu A}{\frac{59.5\mu A}{V^2} (0.5V)^2} = \frac{3.361V^2}{(0.25V)^2} = 53.77 \quad (1.16)$$

Obtenidas las dimensiones de M₂₀ y M₂₁, el cálculo de M₁₈ y M₁₉ se realiza a través de la ecuación 1.17.

GENERADOR DE RELOJ CON MODULACIÓN DE ESPECTRO DISPERSO

$$\left(\frac{W}{L}\right)_{M18,19} = \frac{2I_D}{K_N * V_{DSAT}^2} = \frac{200\mu A}{\frac{59.5\mu A}{V^2} (0.5V)^2} = \frac{3.36V^2}{(0.25V)^2} = 53.77 \quad (1.17)$$

La red de polarización se obtiene por medio del voltaje de compuerta requerido por la estructura anterior para que la arquitectura pueda proporcionar la corriente deseada. Los cálculos de esta red de los transistores M₂₂ y M₂₃ se muestran en la ecuación 1.18.

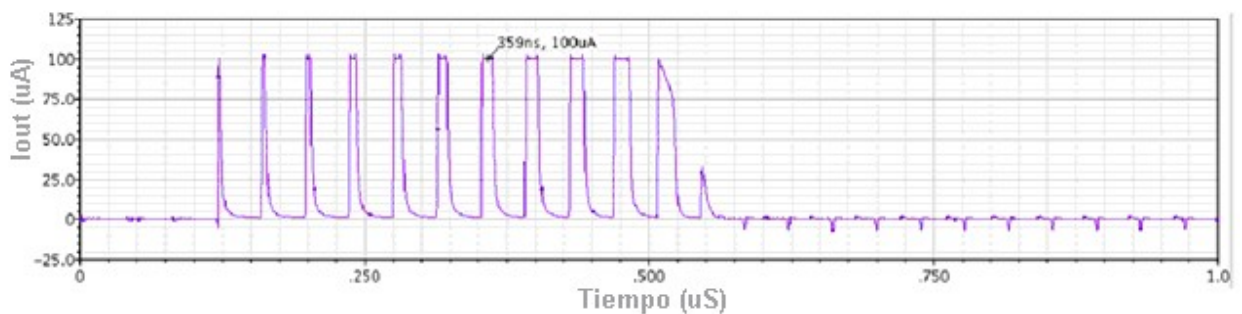
$$\begin{aligned} \left(\frac{W}{L}\right)_{M22} &= \frac{I_D}{K_N * (V_{GS} - V_T)^2} = \frac{3.36}{(1.5397V - 0.7897V)^2} = 5.97 \\ \left(\frac{W}{L}\right)_{M23} &= \frac{I_D}{K_N * (V_{GS} - V_T)^2} = \frac{10.10}{(-3.4603V + 0.913V)^2} = 1.55 \end{aligned} \quad (1.18)$$

Las dimensiones obtenidas se muestran en la tabla 1.5.

Espejo de Corriente de Amplitud Maximizada (WSCM)						
Transistor	I _D (μA)	V _{DSAT} (V)	C _{GS} (fF)	g _m (μS)	R _{DS} (KΩ)	W(μm)
M ₁₈ ,M ₁₉	100	0.3	95.48	666.67	400	53.77
M ₂₀ ,M ₂₁	100	0.3	95.48	666.67	400	53.77
M ₂₂	100	0.8	13.43	250	400	5.97
M ₂₃	100	-2.5	4.01	80.09	277.78	1.55

Tabla 1.5. Dimensiones y valores del espejo de corriente de amplitud maximizada (WSCM).

La bomba de carga se probó ahora con este espejo de corriente, dando como resultado un mejor comportamiento, esto debido a que el circuito opera en saturación para un rango de voltaje mayor que el cascode simple, manteniendo constante la corriente a su salida como se muestra en la figura 1.11.



GENERADOR DE RELOJ CON MODULACIÓN DE ESPECTRO DISPERSO

Figura 1.11. Respuesta de la bomba de carga utilizando el espejo de corriente WSCM.

Comparando el funcionamiento de las 3 arquitecturas de espejos de corriente, se concluye (figura 1.12) que la corriente más simétrica es la que es proporcionada por el WSCM (línea continua), debido a que ésta no varía para un rango amplio de voltaje, lo cual es muy deseable ya que la estabilidad del PLL depende de la corrientes de carga y descarga de la bomba de carga. Por otro lado, el espejo simple (línea punteada con marcadores), proporcionó una corriente de salida mayor, debido a que la corriente reflejada presenta el efecto de modulación de canal. Finalmente, el espejo de corriente cascode simple (línea punteada), tuvo un comportamiento intermedio pero una respuesta más lenta que los dos anteriores, lo cual no es deseable.

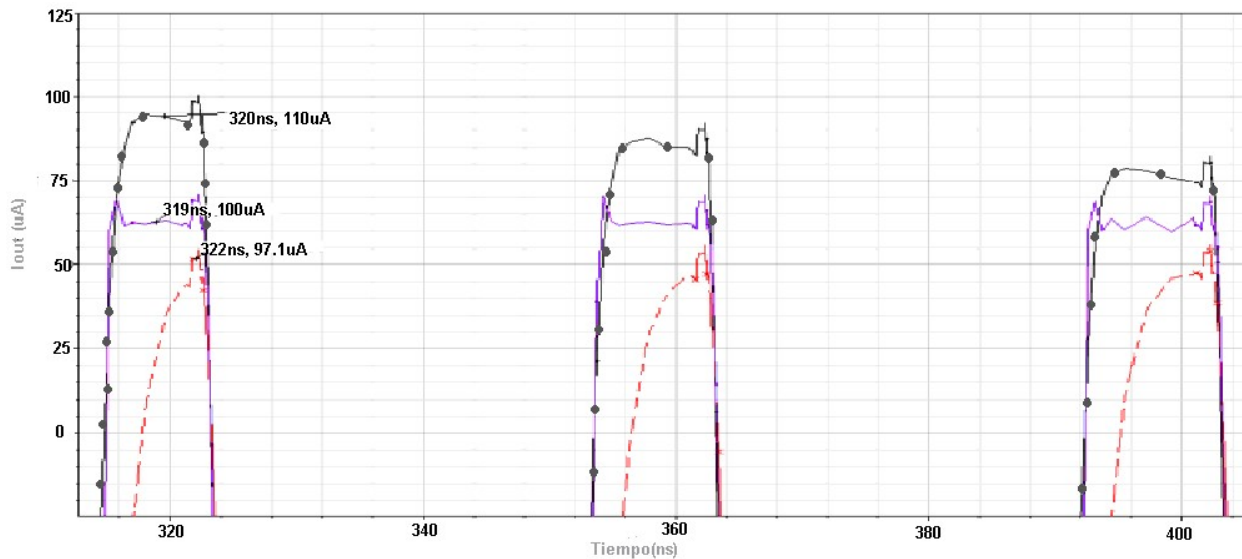


Figura 1.12. Corriente de salida de la bomba de carga para los 3 espejos de corriente utilizados.

Con todo lo anterior se llegó a la conclusión de que el espejo más adecuado para satisfacer las necesidades de la bomba de carga es el WSCM, debido a su mejor rango de operación y a su corriente constante, lo cual es indispensable para este diseño.

1.4. DESARROLLO DE LA BOMBA DE CARGA CON WSCM

GENERADOR DE RELOJ CON MODULACIÓN DE ESPECTRO DISPERSO

La figura 1.13, muestra el circuito completo de la bomba de carga, donde se sustituyó el bloque del espejo 1:1 por el espejo de corriente de rango amplio (WSCM).

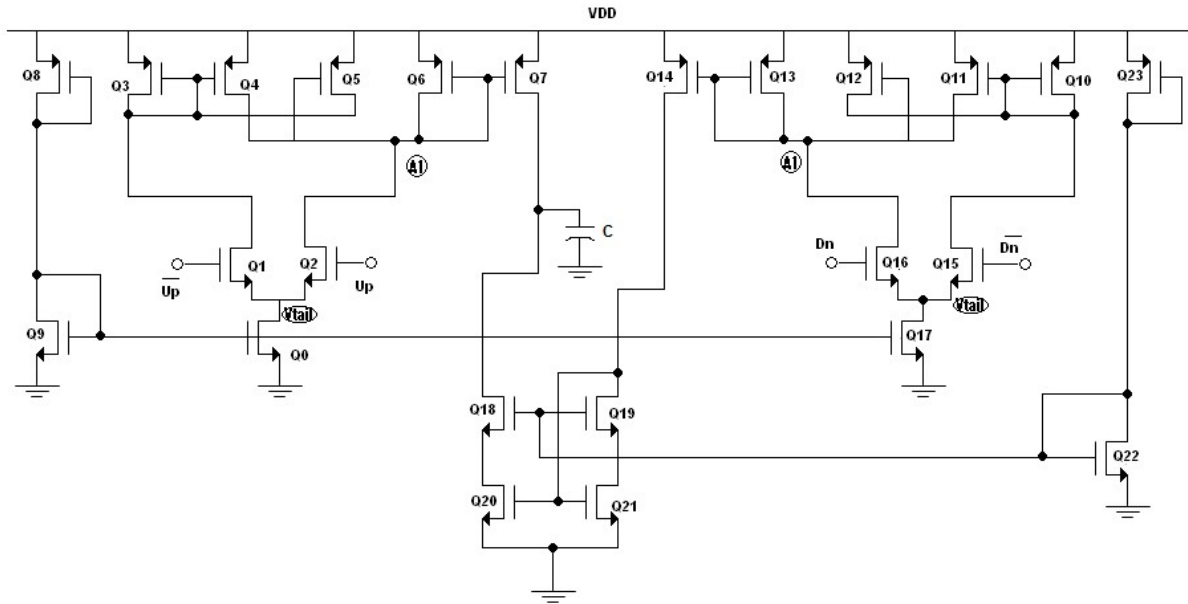


Figura 1.13. Bomba de carga con espejo de corriente WSCM.

La salida para el voltaje nominal de operación (5V) utilizando el caso típico (Typical Case), para una temperatura de 67°C se muestra en la figura 1.14. A partir de esta, se observa que la corriente de descarga del nodo es de 97.2μA (señal superior de la imagen), y la corriente de carga es de 92.8μA (señal de la parte inferior).

GENERADOR DE RELOJ CON MODULACIÓN DE ESPECTRO DISPERSO

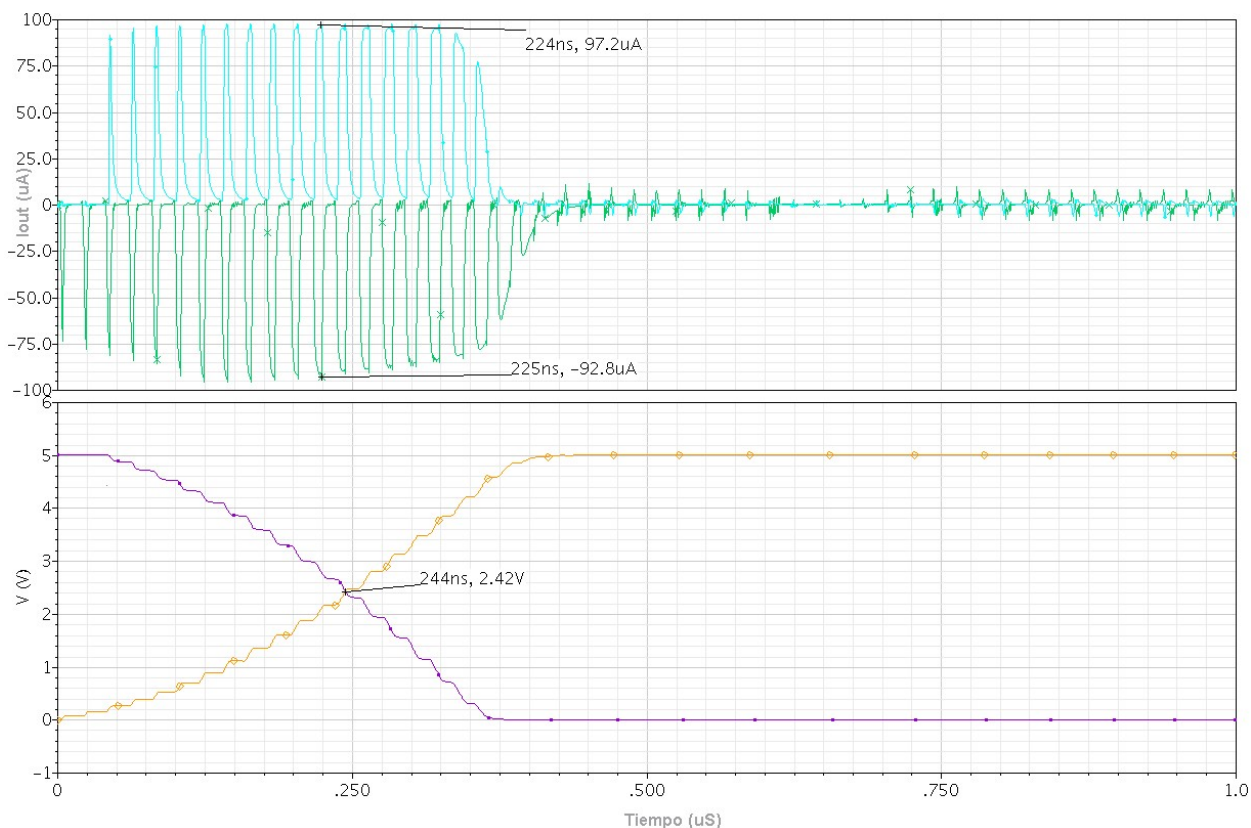


Figura 1.14. Salida de la bomba de carga con espejo de corriente WSCM.

Para conocer el comportamiento del diseño con respecto a variaciones de proceso y temperatura, se simuló el circuito en diferentes esquinas. A partir de los resultados de simulación, se obtuvo que el punto de cruce de las señales permaneció en alrededor de 2.46V para todas las temperaturas, lo que indica que las variaciones de temperatura afectaron de igual manera tanto a la carga como a la descarga de la bomba de carga. Como se puede apreciar en la figura 1.15, la corriente varía dependiendo de la temperatura y el proceso, y se observa que el peor caso se presenta cuando se tiene un voltaje de 4.5V y una temperatura de 125°, haciendo que la corriente del circuito disminuye hasta 67.3μA, (67.3% de la corriente que se desea).

GENERADOR DE RELOJ CON MODULACIÓN DE ESPECTRO DISPERSO

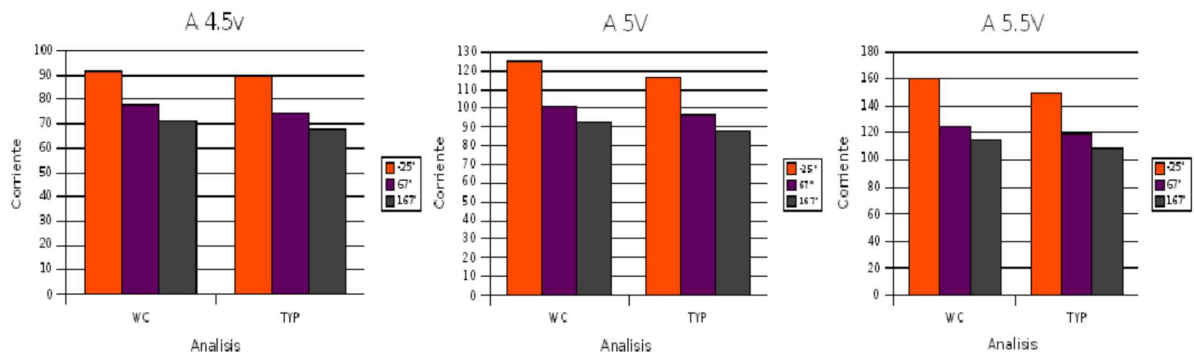


Figura 1.15. Variaciones de corriente de la bomba de carga con respecto a proceso, voltaje y temperatura (PVT).

Como se mencionó anteriormente, el peor caso de operación del circuito se presenta para un voltaje de alimentación de 4.5V, para esta condición los transistores están operando en saturación, para que el circuito opere como es deseado, en este caso las salidas de la bomba de carga se muestra en la figura 1.16.

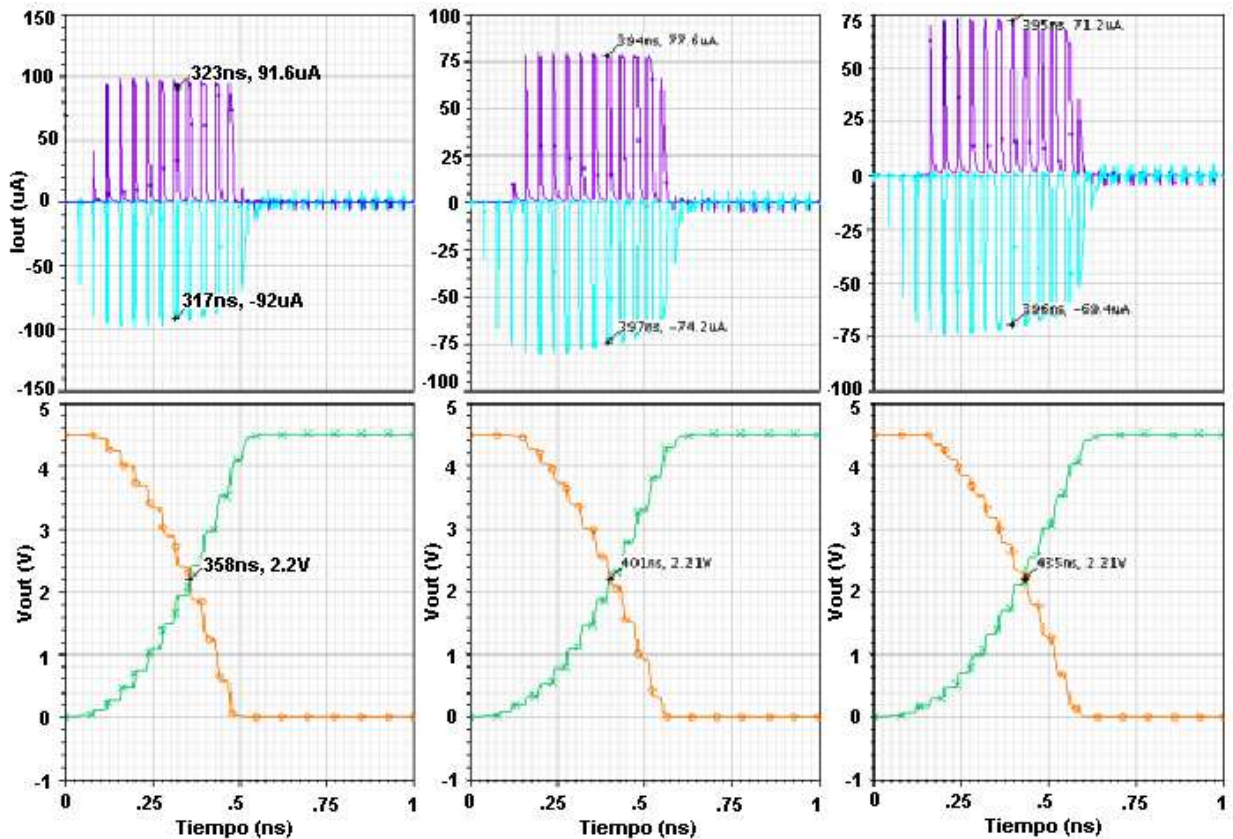


Figura 1.16. Variaciones de corriente de la bomba de carga con respecto a PVT.

GENERADOR DE RELOJ CON MODULACIÓN DE ESPECTRO DISPERSO

A partir de los resultados obtenidos al variar proceso, voltaje y temperatura, se observa que la corriente varía desde $67.3\mu\text{A}$ hasta $161\mu\text{A}$, con lo que se tiene una diferencia de casi $100\mu\text{A}$ ($93.7\mu\text{A}$), esto debido a que cuando se incrementa el voltaje de polarización del circuito, las redes de polarización, así como los dispositivos cambian de punto de operación, modificando la corriente que circula por ellos. Por otro lado, la variación en temperatura afecta la movilidad de los dispositivos “N” y “P”, haciendo que entre mayor sea la temperatura, menor será la movilidad, afectando también la corriente.

1.5. DETECTOR DE FRECUENCIA Y FASE

El detector de fase y frecuencia es un circuito digital el cual esta compuesto por dos flip flop tipo D (“PFD”, por sus siglas en inglés) con reset y una compuerta “AND”. El circuito funciona de tal forma que detecta la diferencia en fase y frecuencia de dos señales; la salida en estado alto depende de la diferencia de fase de las dos señales. El circuito tiene dos salidas, una que denominamos de carga, la cual le indica a la bomba de carga cuando debe inyectar corriente al nodo de salida y la otra de descarga, la cual le indica cuando debe descargar el nodo, algunos PFD’S poseen cuatro salidas, las cuales son las salida y su complemento, como se puede apreciar en la figura 1.17.

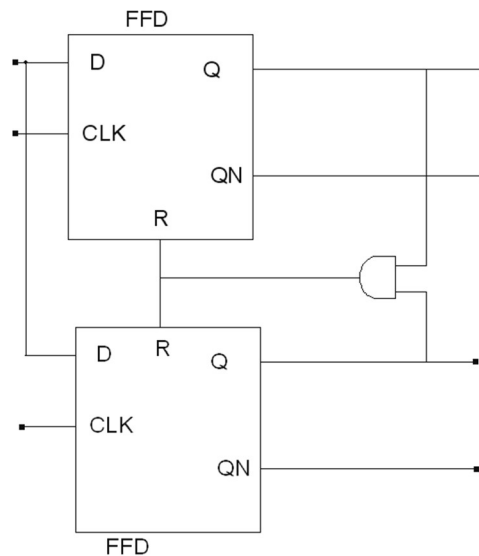


Figura 1.17. Diagrama a bloques de PFD.

GENERADOR DE RELOJ CON MODULACIÓN DE ESPECTRO DISPERSO

Los flip flop D de la figura 1.18 se pueden sustituir por la siguiente arquitectura la cual tiene dos flip flop tipo SR (por sus siglas en inglés), interconectados y responden a la señal de reloj CK (por sus siglas en inglés) y al Reset RST.

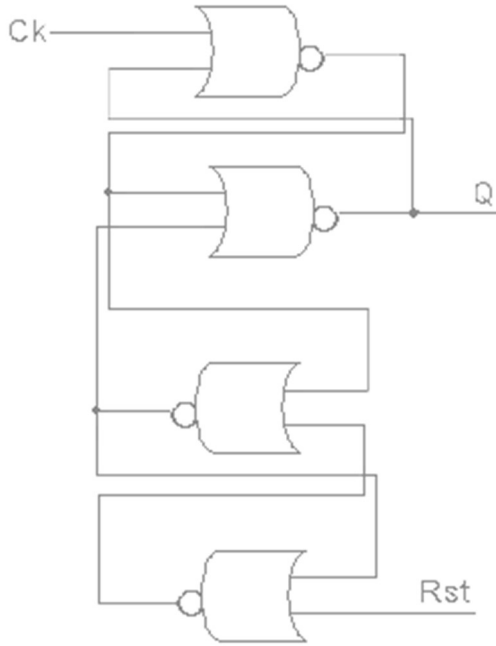


Figura 1.18. Circuito utilizado para el flip-flop tipo D.

Las compuertas lógicas se diseñaron para que pudieran manejar una carga de 100fF, y al mismo tiempo cargar la salida en un tiempo de 550ps. A partir de estos dos datos se obtuvo la corriente necesaria para que el circuito pueda cumplir con las especificaciones anteriores, los cálculos se muestran en la ecuación 1.19.

$$I_D = \frac{.5 * C_L * V_{DD}}{T_p} = \frac{.5 * 100 fF * 5V}{550 ps} = 455 \mu A \quad (1.19)$$

La resistencia equivalente del circuito se encuentra dada por:

$$R = \frac{3 * V_{DD}}{4 * I_D} = \frac{3 * 5V}{4 * 455 \mu A} = 8.25 k\Omega \quad (1.20)$$

GENERADOR DE RELOJ CON MODULACIÓN DE ESPECTRO DISPERSO

Posteriormente se procede a obtener las dimensiones necesarias para que la lógica pueda operar a la frecuencia deseada, el cálculo de las dimensiones de las compuertas con dos transistores en serie se muestra en la ecuación 1.21.

$$\left(\frac{W}{L}\right)_P = \frac{3 * V_{DD}}{4K_p / (N_compuertas) R V_{DSAT}^2} = \frac{15V}{4 * \frac{19.5 \mu A / V^2}{2} * 8.25 k\Omega * (0.9110V)^2} = 54.96$$

$$\left(\frac{W}{L}\right)_N = \frac{3 * V_{DD}}{4K_n / (N_compuertas) R V_{DSAT}^2} = \frac{15V}{4 * \frac{59.5 \mu A / V^2}{2} * 8.25 k\Omega * (0.7874V)^2} = 24.49 \quad (1.21)$$

Para los circuitos de un transistor como el inversor el número de compuertas se sustituirá por 1. El diseño se muestra en la ecuación 1.22.

$$\left(\frac{W}{L}\right)_P = \frac{3 * V_{dd}}{4K_p / (N_compuertas) R V_{DSAT}^2} = \frac{15V}{4 * \frac{19.5 \mu A / V^2}{2} * 8.25 k\Omega * 0.83V} = 27.48$$

$$\left(\frac{W}{L}\right)_N = \frac{3 * V_{dd}}{4K_n / (N_compuertas) R V_{DSAT}^2} = \frac{15V}{4 * \frac{59.5 \mu A / V^2}{2} * 8.25 k\Omega * 0.62V} = 12.24 \quad (1.22)$$

Las dimensiones de las compuertas que se usaron para el diseño del PFD se muestran en las tablas 1.6 a 1.8.

Compuerta NOR de 2 entradas (NOR2)					
Tp(ps)	I(μA)	C _L (fF)	R(KΩ)	W/L(μm)	Tipo
550	227.27	100	16.5	12.24	N
550	227.27	100	16.5	12.24	N
550	454.55	100	8.25	54.96	P
550	227.27	100	16.5	27.48	P

Tabla 1.6. Dimensiones de la compuerta NOR2.

Inversor

GENERADOR DE RELOJ CON MODULACIÓN DE ESPECTRO DISPERSO

Tp(ps)	I(μ A)	CI(fF)	R(K Ω)	W/L(um)	Tipo
550	454.55	100	8.25	54.96	P
550	454.55	100	8.25	24.49	N

Tabla 1.7. Dimensiones del Inversor Digital.

Compuerta AND de 2 entradas (AND2)					
Tp(ps)	I(μ A)	CI(fF)	R(K Ω)	W/L(um)	Tipo
550	454.55	100	8.25	24.49	N
550	454.55	100	8.25	24.49	N
550	227.27	100	16.5	27.48	P
550	227.27	100	16.5	27.48	P

Tabla 1.8. Dimensiones de la compuerta AND2.

La salida para el mismo esquema de pruebas de la figura 1.14, se puede apreciar en la figura 1.19, en la cual se tienen las señales del PFD utilizado. La señal “4” es la de descarga, la señal “5” en la parte inferior es la señal de carga que va a la bomba de carga, la señal “1” en la parte superior es la señal de referencia y la señal “2” es la señal que se pone para simular el comportamiento del PLL. El tiempo de carga de la señal es de 476ps y de descarga es de 570ps.

GENERADOR DE RELOJ CON MODULACIÓN DE ESPECTRO DISPERSO

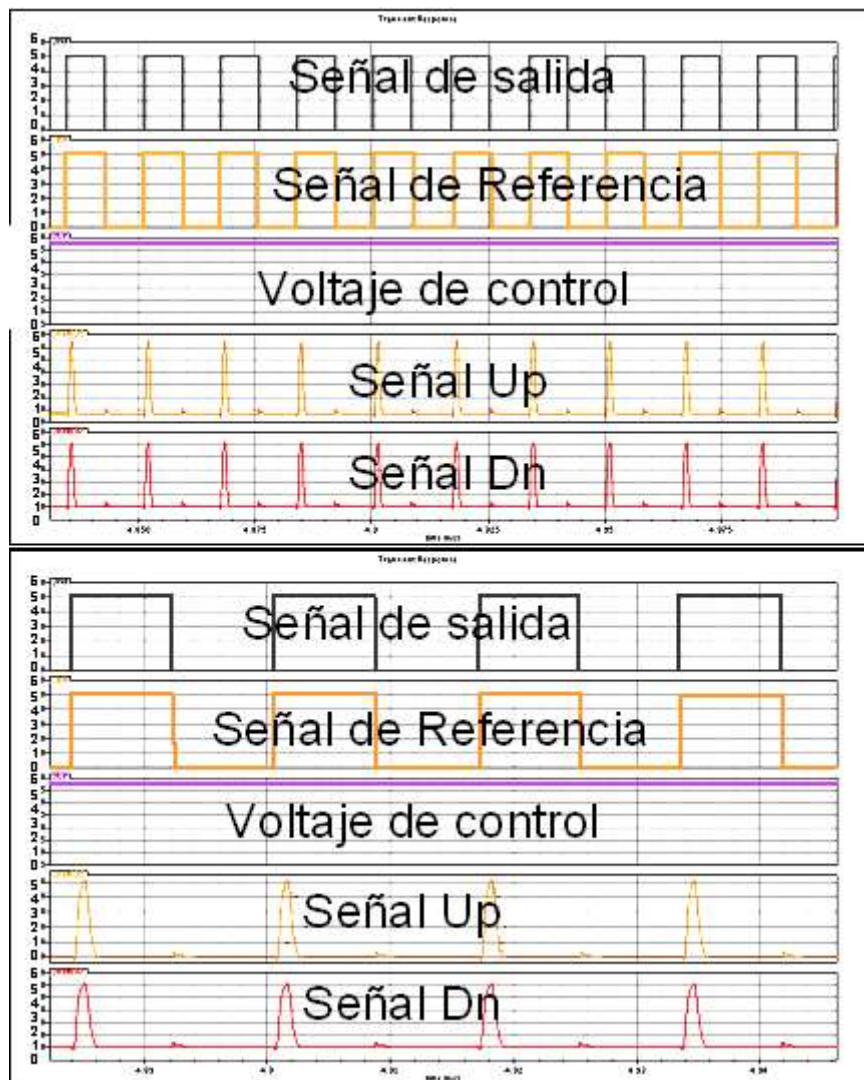


Figura 1.19. Salida del PFD a 70MHz.

1.6. ESQUEMA DE PRUEBA

Para evaluar únicamente el comportamiento de la bomba de carga, el resto de los bloques del PLL se macro-modelaron utilizando Verilog-A, como se muestra en la figura 1.20. La configuración mostrada, posee 2 entradas hacia el exterior al igual que una salida, lo cual fue pensado para permitir flexibilidad en la prueba y uso de los bloques diseñados en posibles futuras aplicaciones, así como también el permitir el uso de divisores de frecuencia externos.

GENERADOR DE RELOJ CON MODULACIÓN DE ESPECTRO DISPERSO

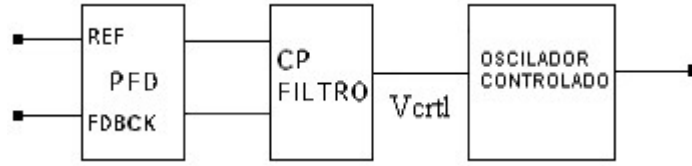


Figura 1.20. Esquema de prueba para los bloques diseñados.

1.6.1. Diseño del Filtro

Para obtener el filtro de la bomba de carga se requiere conocer la frecuencia de operación máxima y mínima del oscilador controlado por voltaje, mismas que se obtienen en la sección 2.8.1, y el factor de amortiguamiento requerido para que el sistema sea rápido y estable a la vez; primero es necesario determinar la ganancia del VCO como se muestra en la figura 1.21, la cual puede calcular mediante la ecuación 1.23.

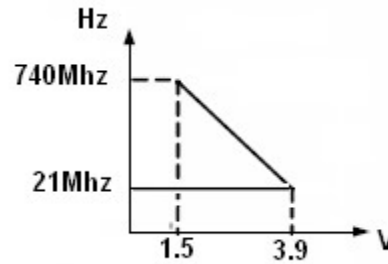


Figura 1.21. Grafica de ganancia del VCO.

$$K_v = 2\pi * \left(\frac{(F_{\max} - F_{\min})}{(V_{\max} - V_{\min})} \right) = 2\pi * \left(\frac{(740\text{MHz} - 21\text{MHz})}{(3.9 - 1.5)} \right) = 1882337598 \text{ Hz/V} \quad (1.23)$$

$$K_{v_{dB}} = 20 \log(299583333) = 185.49 \text{ dB}$$

Una vez obtenida la ganancia del VCO, es necesario calcular la frecuencia natural del sistema, la cual se obtiene a partir de la ecuación 1.24, considerando para este caso, un capacitor de 8pF.

GENERADOR DE RELOJ CON MODULACIÓN DE ESPECTRO DISPERSO

$$\omega_n = \sqrt{\frac{K_v * I_p}{2\pi(C_p * N)}} = \sqrt{\frac{1882337598 * 100e-6}{2\pi(8e-12 * 1)}} = 61194702.93 \quad (1.24)$$

Obtenida la frecuencia natural del sistema, se calcula el valor de la resistencia del integrador del filtro, la cual se calcula en la ecuación 1.25.

$$\xi = \frac{R_p * C_p * \omega_n}{2} = 0.7071 \quad (1.25)$$
$$R_p = \frac{2\xi}{C_p * \omega_n} = 2888.76\Omega$$

Con los valores calculados se determinó la función de transferencia a lazo abierto, la cual se encuentra en la ecuación 1.26 y su grafica se muestra en la figura 1.22.

$$F(S) = \frac{6.92e-4 * S + 3e4}{8e-12 * S^2} \quad (1.26)$$

GENERADOR DE RELOJ CON MODULACIÓN DE ESPECTRO DISPERSO

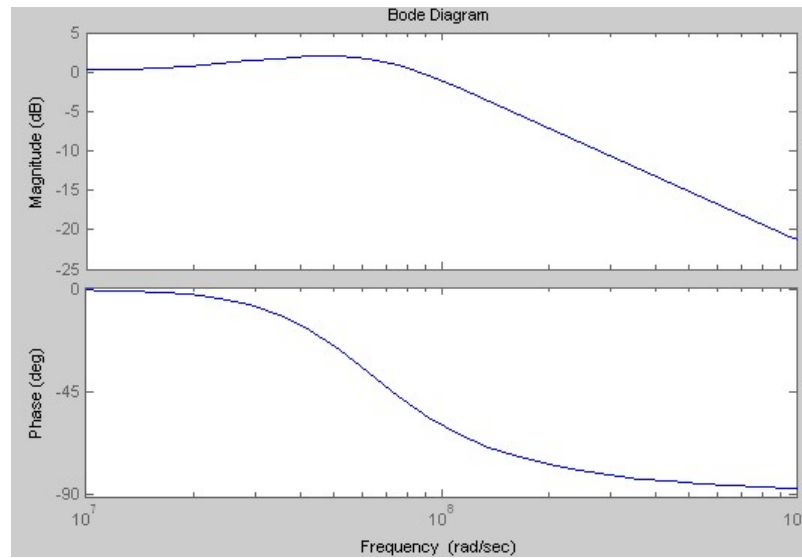


Figura 1.22. Respuesta a lazo abierto.

La función de transferencia de lazo cerrado se encuentra en la ecuación 1.27 y su gráfica se muestra en la figura 1.23.

$$F(S) = \frac{86.5e6 * S + 3.74e15}{S^2 + 86.5e6 * S + 3.74e15} \quad (1.27)$$

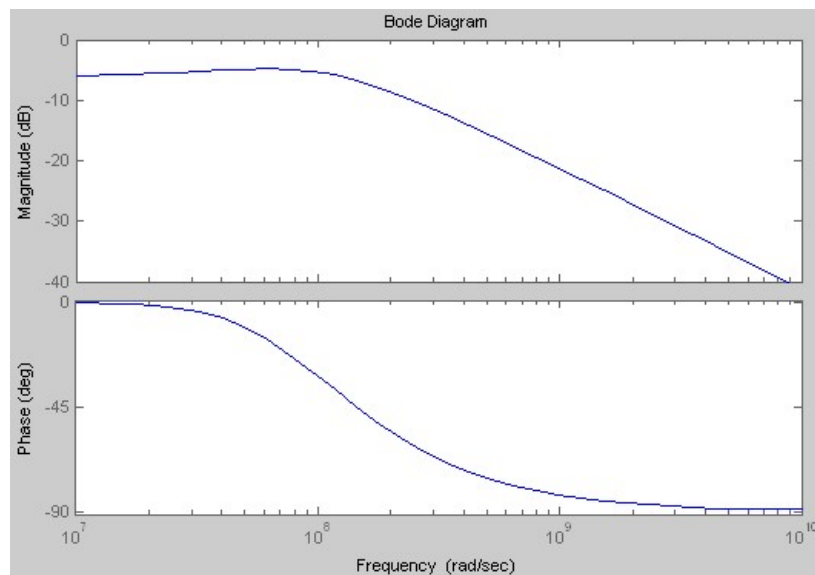


Figura 1.23. Respuesta a lazo cerrado.

GENERADOR DE RELOJ CON MODULACIÓN DE ESPECTRO DISPERSO

Estos valores se incluyeron en el macro modelo para de esta manera determinar la respuesta del sistema y observar el funcionamiento de la bomba de carga bajo condiciones de operación de máxima y mínima frecuencia.

1.6.2. Resultados Obtenidos.

En la figura 1.24 se muestra la respuesta del macro modelo y la bomba de carga diseñada a la mínima frecuencia de operación, en la cual se aprecia el voltaje en el nodo de control así como la señal de referencia y la señal a la salida del comparador de voltaje.

En la figura 1.25 se muestra la simulación del circuito cuando se tiene la frecuencia máxima, la cual amarra con mayor rapidez que la de baja frecuencia debido a como se diseñó el VCO, el cual tiene la mayor frecuencia al $V_{\text{MIN}} = 1.5\text{V}$ y mínima frecuencia al $V_{\text{MAX}} = 3.5\text{V}$.

GENERADOR DE RELOJ CON MODULACIÓN DE ESPECTRO DISPERSO

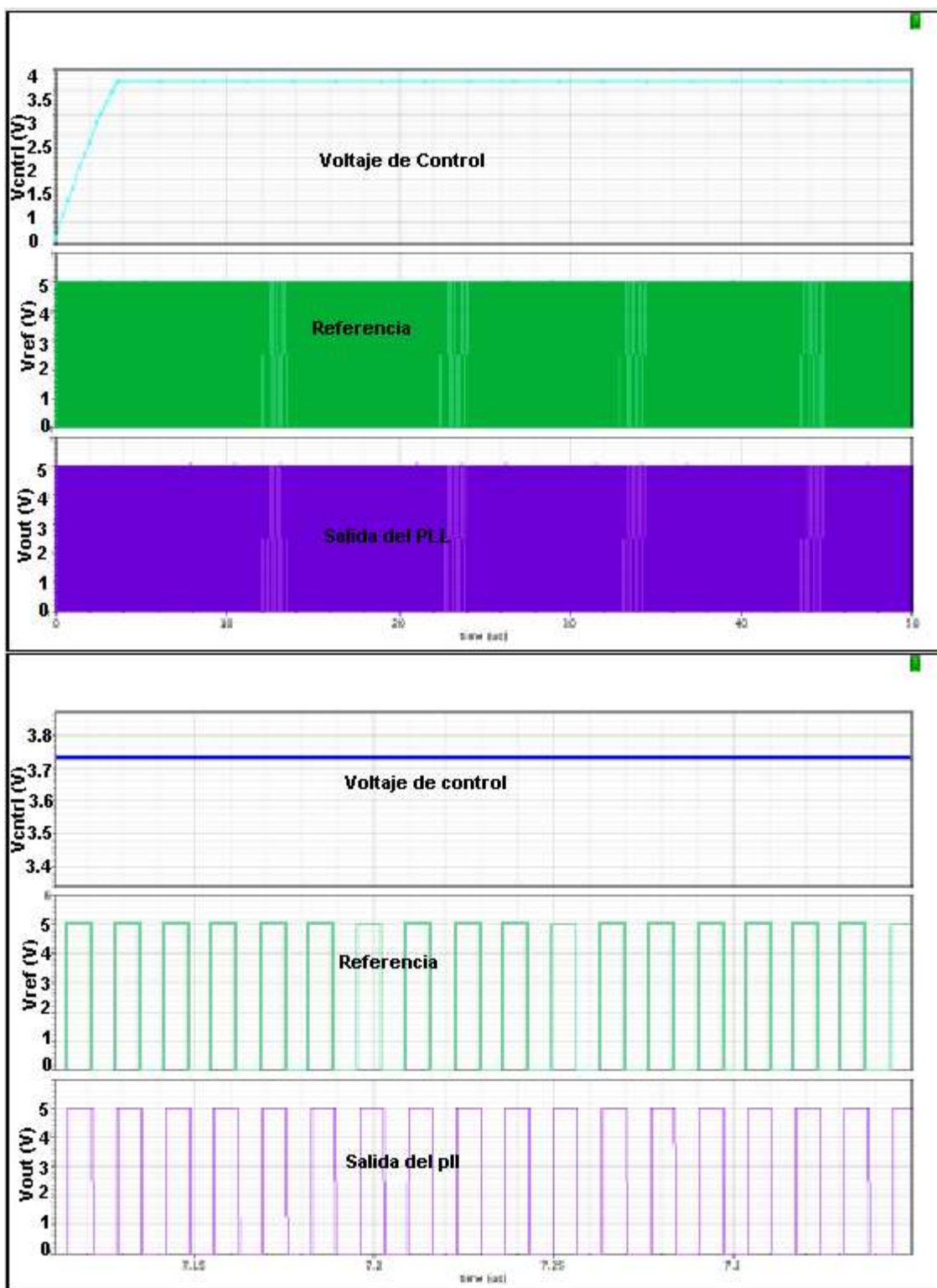


Figura 1.24. Salida de la bomba de carga y VCO a mínima frecuencia.

GENERADOR DE RELOJ CON MODULACIÓN DE ESPECTRO DISPERSO

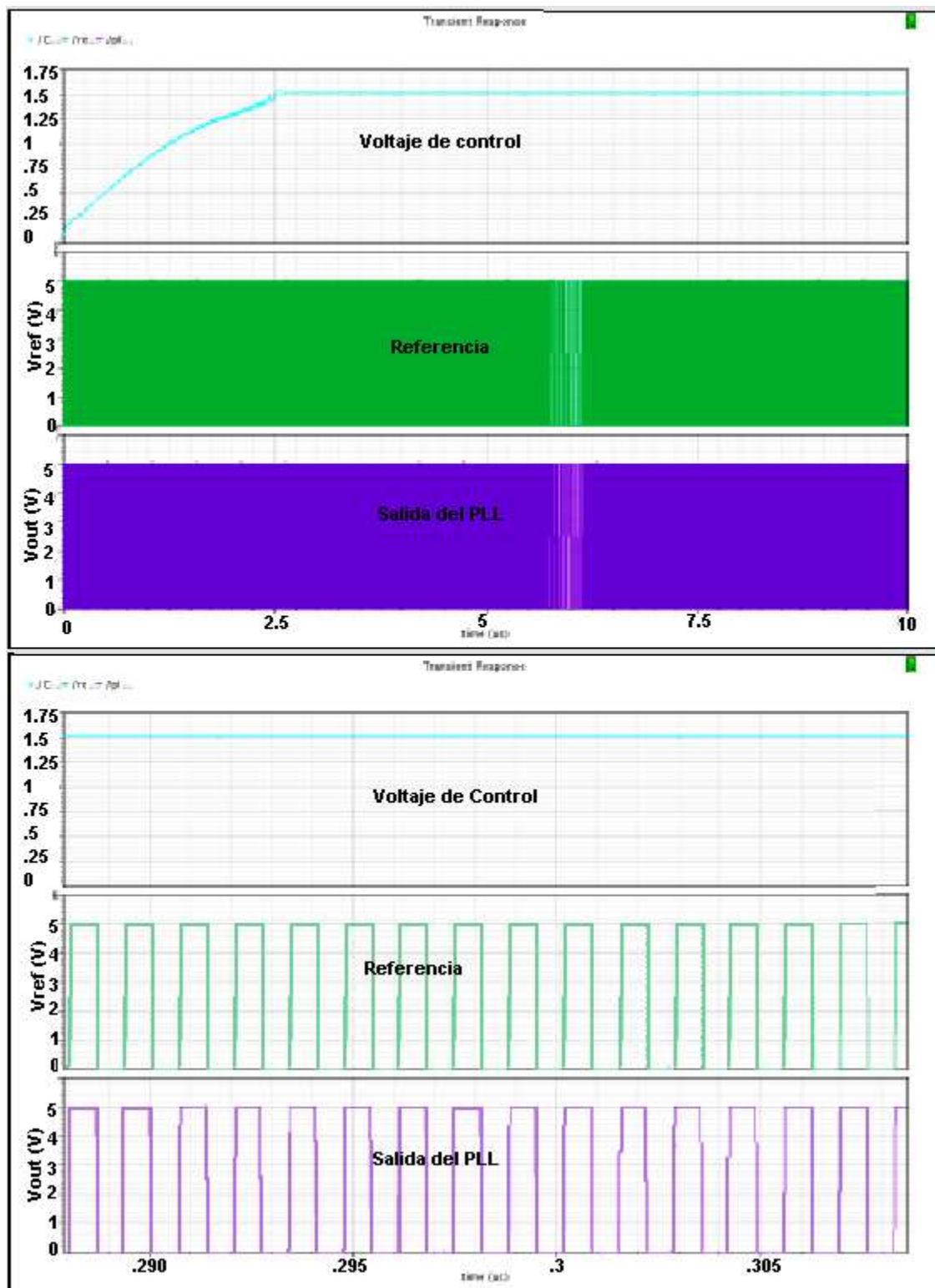


Figura 1.25. Salida de la bomba de carga y VCO máxima frecuencia.

GENERADOR DE RELOJ CON MODULACIÓN DE ESPECTRO DISPERSO

Después de verificar que el sistema sí trabaja correctamente a las frecuencias máxima y mínima, se realizó un análisis paramétrico entre la menor y mayor frecuencia, tomando de estas 10 muestras, como se muestra en la figura 1.26.

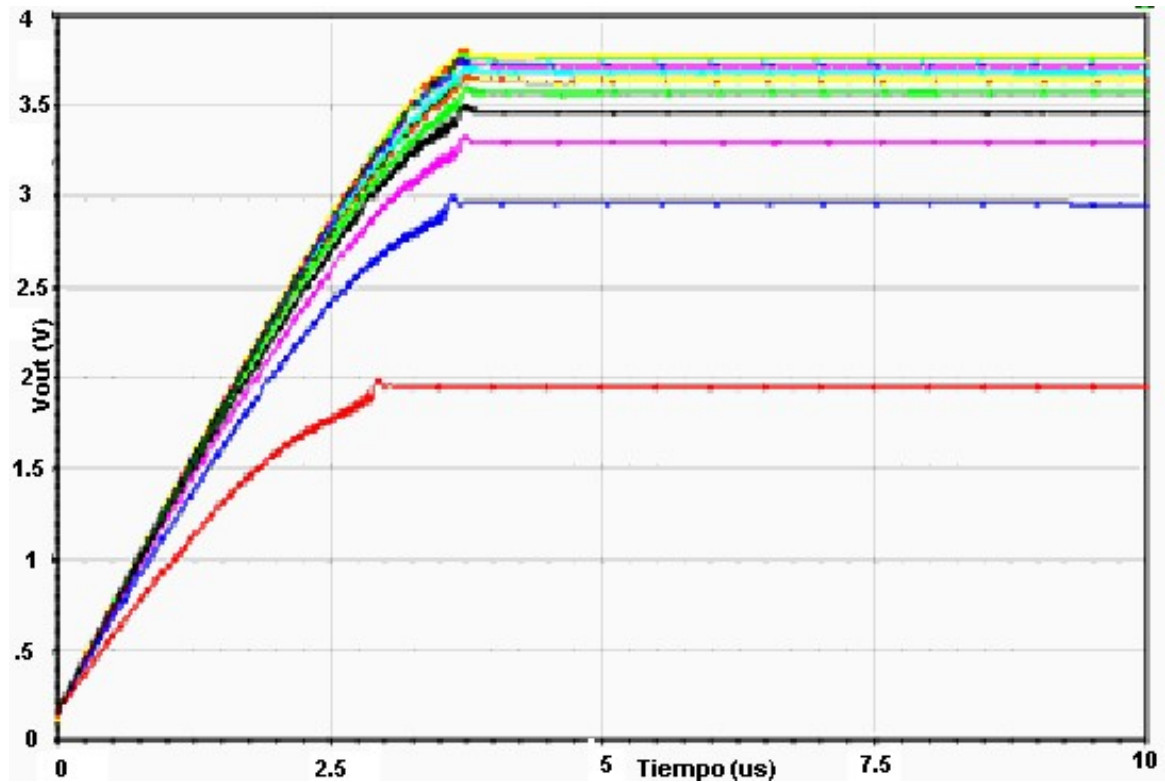


Figura 1.26. Respuesta de la bomba de carga y del VCO para el análisis paramétrico.

Luego de comprobar el funcionamiento de la bomba de carga en el macro modelo, el PFD fue reemplazado por su circuito a nivel transistor para de esta manera verificar el comportamiento de los dos bloques que se han diseñado, la salida se muestra en la figura 1.27. En la parte izquierda se puede ver la salida del VCO y la señal de referencia, las cuales están en fase así como también la señal de la bomba de carga, la cual se ve que se estabiliza después de un tiempo de 2.1 μ s, para una frecuencia de 740MHz. En la parte derecha se puede ver un acercamiento a las señales de la parte izquierda, donde se observa que las señales están amarradas en frecuencia y fase. La señal del voltaje de control “1”, la señal “2” es la señal *down*, la señal “3” es la señal *up*, la señal “4” es la señal de salida del comparador y la señal “5” es la señal de referencia.

GENERADOR DE RELOJ CON MODULACIÓN DE ESPECTRO DISPERSO

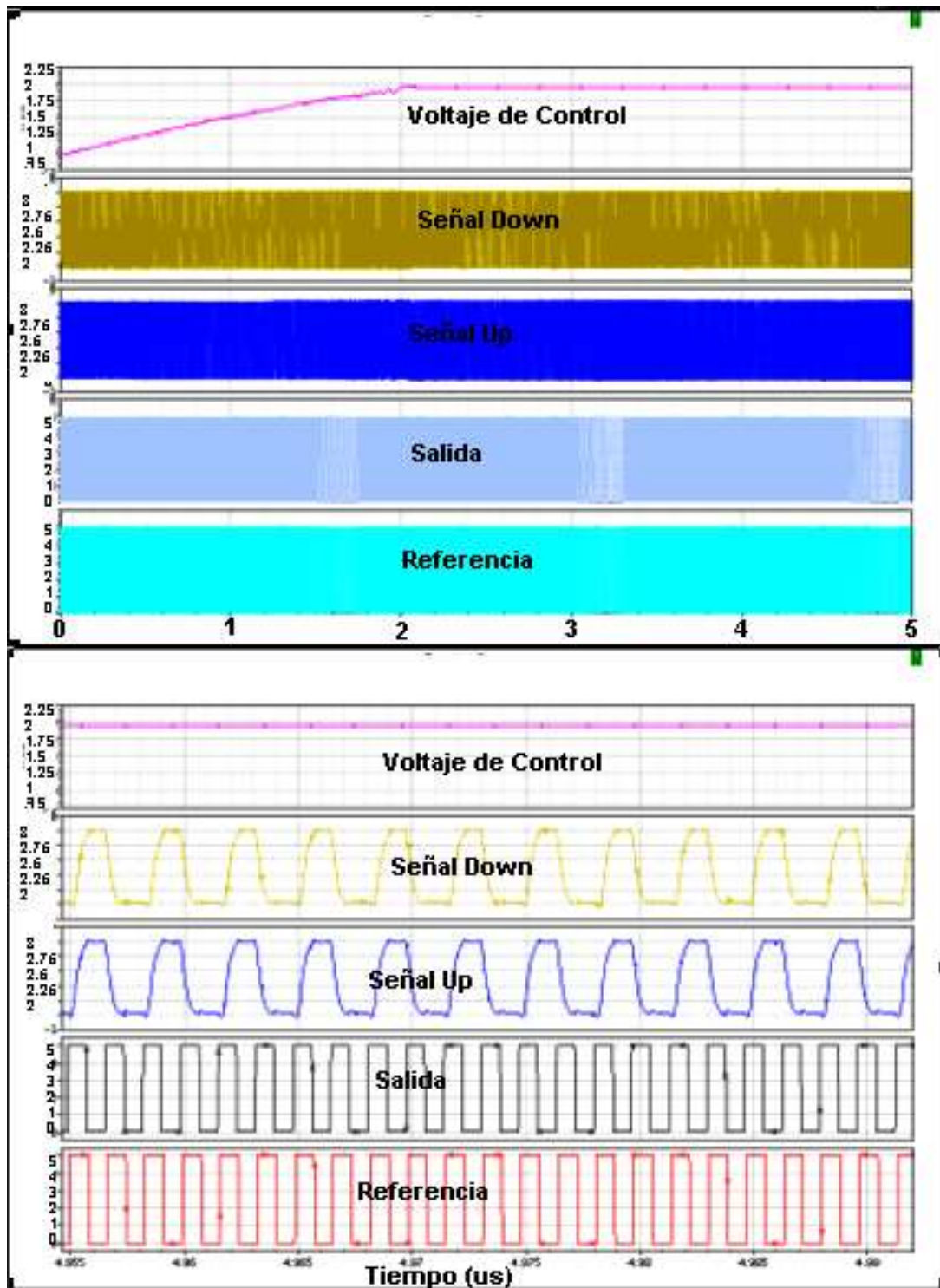
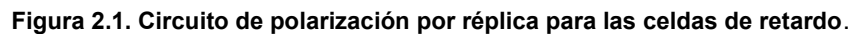


Figura 1.27. Salidas de la bomba de carga y VCO.

Se presenta el diseño de una celda de retardo basada en un amplificador diferencial de transconductancia empleando cargas de Maneatis [5]. El circuito que se muestra en la figura 2.1 es un sistema a lazo cerrado para un “punto de control”, que es la entrada (+) del amplificador diferencial. Este punto de control es prácticamente esclavo del “Voltaje de control” (V_{CTRL}) del VCO. Es decir, la diferencia de potencial entre estos dos puntos es siempre cero o tiende a serlo. Esto tiene como objeto, mantener al transistor Mn1 (que es la fuente de corriente de la rama: “Medio Búfer”) saturado en todo momento, ya que, si el sistema a lazo cerrado opera adecuadamente, el voltaje de compuerta-fuente de dicho transistor nunca será mayor a la diferencia de potencial que exista entre drenador-fuente del mismo.



99

2.2 DISEÑO DEL “MEDIO BÚFER”

Como ya se ha mencionado, en esta sección del circuito de réplica es donde se realiza el auto-ajuste del voltaje de polarización por medio de una igualación de corrientes. Mp1 es controlado en su compuerta por el voltaje “V_{CTRL}” y a su vez Mp2 está conectado como diodo; ambos están conectados directamente a cada una de las entradas del amplificador diferencial, mismo que fija directamente la corriente que entrega el transistor Mn1 al controlar la compuerta de este mismo transistor.

El voltaje en la entrada (+) del amplificador es auto ajustado por la diferencia de corrientes existentes en la rama. Para alcanzar la estabilidad, los voltajes de ambas entradas en el amplificador deben estar a potenciales muy cercanos entre si, esto se logra por medio de una ganancia alta en dicho amplificador.

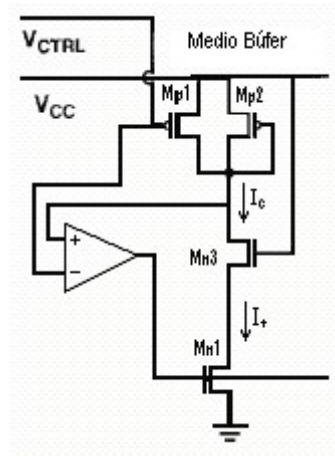


Figura 2.2. Circuito de auto-ajuste de corriente.

Bajo estas condiciones, los transistores Mp1 y Mp2 estarán ambos en saturación. Para comenzar el análisis, se propone que 250 μ A fluyan por la rama Ic, 125 μ A circularán por cada uno de estos, con un voltaje de control igual a 1.5V que son 3.5V de compuerta-fuente. Para estas condiciones las dimensiones de dichos transistores deben ser:

$$\left(\frac{W}{L}\right)_{MP1,2} = \frac{I_{SS}}{Kp/2 * (V_{GS} - V_{THP})^2} \quad (2.1a)$$

GENERADOR DE RELOJ CON MODULACIÓN DE ESPECTRO DISPERSO

$$\left(\frac{W}{L}\right)_{MP1,2} = \frac{125\mu A}{19.5\mu A / V^2 / 2 * (3.5V - 0.94V)^2} = 1.95 \quad (2.1b)$$

Se puede considerar tener una longitud de canal mínima, para obtener máxima respuesta en frecuencia o bien un 20% más, para disminuir el impacto que tiene el proceso en el circuito al usar dimensiones mínimas, con esto se tendría una longitud de 0.6μm, esto es permitido por la tecnología, ya que el escalamiento es de 0.05μm en adelante. Sin embargo se elige una longitud de canal de 800 nm para reducir aún más el impacto del proceso. Con esto, el ancho de canal requerido es de:

$$W_{MP1,2} = (1.95) * (0.8\mu m) = 1.56\mu m \quad (2.1c)$$

El “transistor fuente” (Mn1) de esta rama, debe proporcionar una corriente de 500μA, con un voltaje de compuerta fuente no mayor a:

$$V_{GSMN1} \leq 1.5V + V_{THN} = 2.24V \quad (2.2)$$

Para asegurar la saturación de este, se propone un voltaje menor, así que se toma 2 V.

$$\left(\frac{W}{L}\right)_{MN1} = \frac{I_{SS}}{Kp / 2 * (V_{GS} - V_{THP})^2} \quad (2.3a)$$

$$\left(\frac{W}{L}\right)_{MN1} = \frac{250\mu A}{59.5\mu A / V^2 / 2 * (2V - 0.74V)^2} = 5.29 \quad (2.3b)$$

En este caso se requiere de una alta impedancia de entrada, así que se elige un valor de longitud de canal mayor. Seleccionando L = 2μm, el ancho del transistor se encuentra dado por:

$$W_{MN1} = (5.29) * (2\mu m) = 10.58\mu m \quad (2.3c)$$

GENERADOR DE RELOJ CON MODULACIÓN DE ESPECTRO DISPERSO

El transistor Mn3 debe ser capaz de permitir el paso a la corriente de rama ($250\mu A$), para que tanto las cargas como el transistor fuente se mantengan en saturación. En este caso se deben calcular las dimensiones mínimas necesarias para lograr esto.

El voltaje de fuente será mayor a $1.26V$ ($2V - 0.74V$) ya que Mn1 debe estar saturado. El voltaje del drenador será $1.5V$ que es este el punto que se busca sea igual al voltaje de control. La diferencia de potencial fuente-drenador es entonces $0.24V$.

Por otro lado, la compuerta de este transistor está conectada a $5V$ con lo que el potencial de compuerta-fuente es de:

$$V_{GS} = 5V - 1.26V = 3.74V \quad (2.4)$$

Así que este transistor está en su región de triodo, para lo cual su corriente es:

$$I_{DMN3} = K_{pn} * \left(\frac{W}{L}\right)_{MN3} * \left[(V_{GS} - V_{THN})V_{DS} - \frac{V_{DS}^2}{2} \right] \quad (2.5)$$

Y las dimensiones mínimas requeridas son:

$$\left(\frac{W}{L}\right)_{MN3} = \frac{I_{DMN3}}{K_{pn} * \left[(V_{GS} - V_{THN})V_{DS} - \frac{V_{DS}^2}{2} \right]} \quad (2.6a)$$

$$\left(\frac{W}{L}\right)_{MN3} = \frac{250\mu A}{59.5\mu A / V^2 * \left[(3.74V - 0.94V)0.24V - \frac{(0.24V)^2}{2} \right]} = 6.532 \quad (2.6b)$$

Igual que en el caso anterior, se elige una longitud de canal de $0.8\mu m$, con esto se requiere un ancho de $5.22\mu m$.

2.3 ANÁLISIS DE CARGAS

GENERADOR DE RELOJ CON MODULACIÓN DE ESPECTRO DISPERSO

En las celdas diferenciales comúnmente son utilizadas cargas resistivas, estas tienen una relación lineal corriente-voltaje como se observa en la figura 2.3:

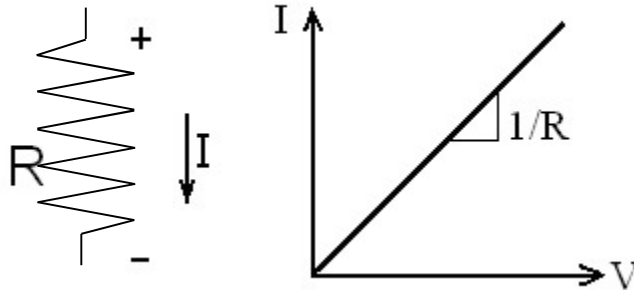


Figura 2.3. Carga resistiva y su característica V-I.

Esta es sin lugar a duda la mejor forma de construir cargas lineales en una celda diferencial, no obstante, la precisión con que estas pueden ser fabricadas, es muy baja, sin mencionar que el tamaño es excesivo para resistencias construidas en poli-silicio en comparación al de cargas integradas a través de transistores, es por esto que en algunos casos se decide implementar cargas a través de transistores trabajando en su región lineal o triodo, figura 2.4.

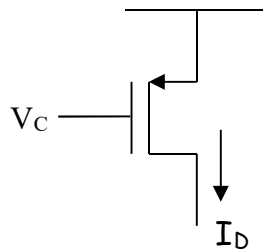


Figura 2.4. Transistor tipo "P".

Aunque en este caso, el problema es que el rango lineal está limitado para una variación del voltaje de salida igual o menor a $V_{DS} < V_C - V_{TH}$.

Considerando un transistor con un voltaje de control de 2.5V y un voltaje de umbral de 0.74V, se obtiene la respuesta mostrada en la figura 2.5:

GENERADOR DE RELOJ CON MODULACIÓN DE ESPECTRO DISPERSO

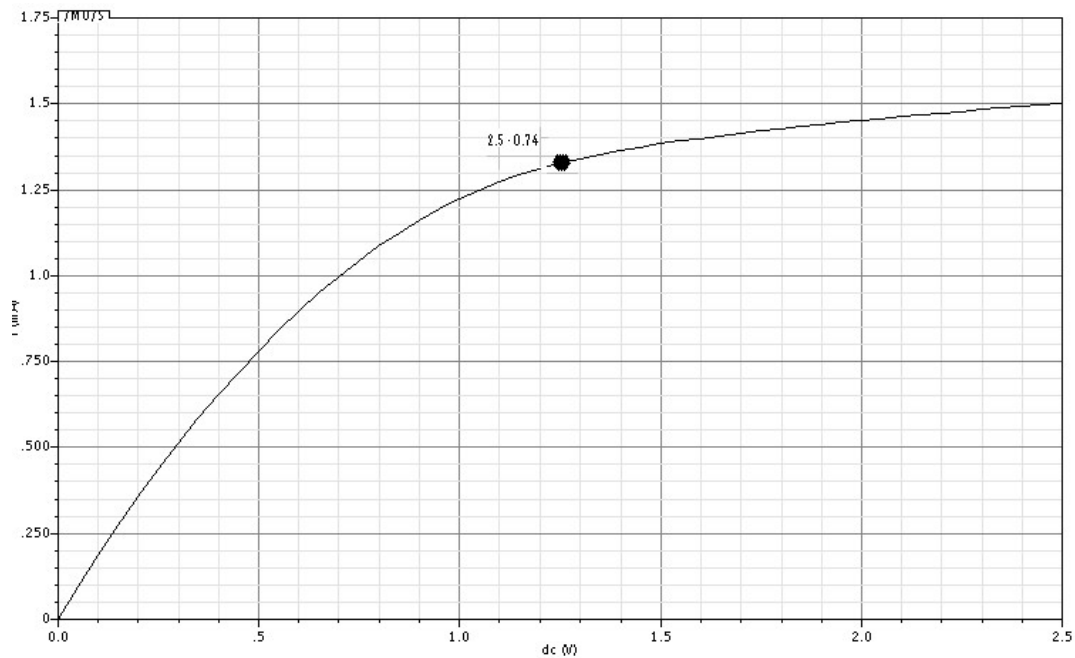


Figura 2.5 Corriente para un transistor operando en su zona lineal.

El rango lineal es incluso menor al previamente estimado. Por esto se considera el uso de las cargas de Maneatis [5], mismas que agregan un transistor en su configuración de diodo en paralelo.

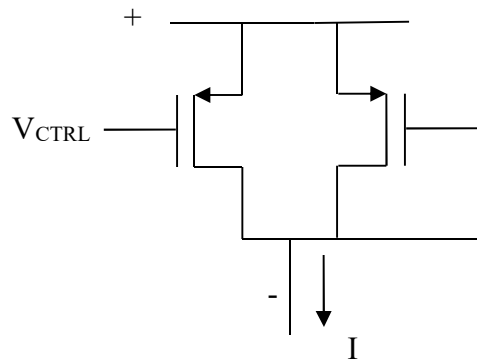


Figura 2.6. Carga de Maneatis

El transistor que se agrega tiene una respuesta opuesta a la del triodo como se observa en la figura 2.7.

GENERADOR DE RELOJ CON MODULACIÓN DE ESPECTRO DISPERSO

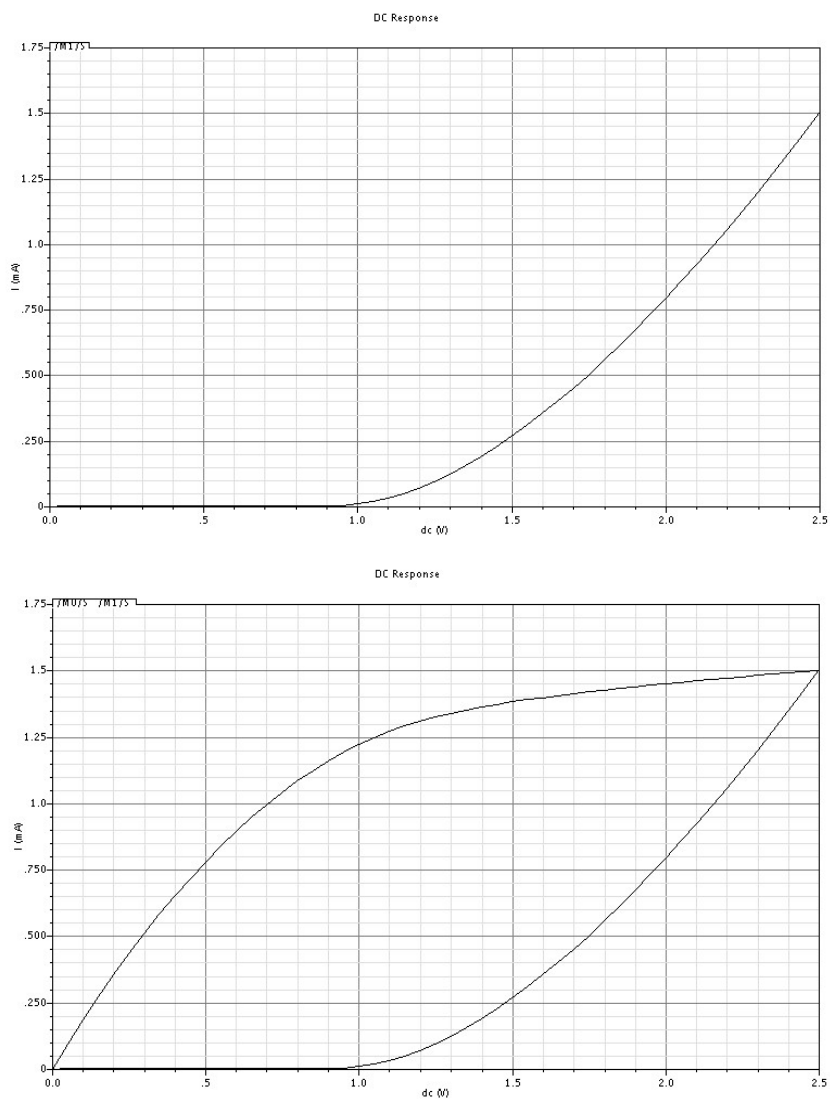


Figura 2.7. Corriente para un transistor operando en su zona de saturación.

Si se observa la respuesta final al mismo tiempo que las independientes de cada uno de los transistores, se observa que el rango lineal aumenta considerablemente.

GENERADOR DE RELOJ CON MODULACIÓN DE ESPECTRO DISPERSO

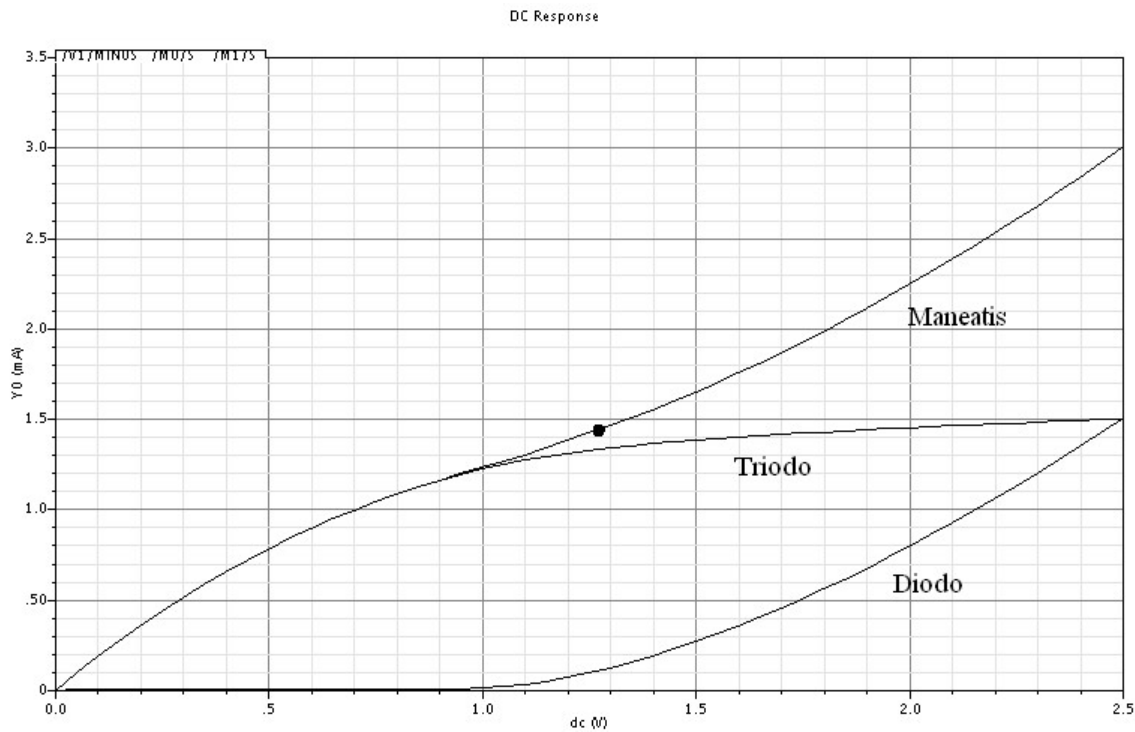


Figura 2.8. Corriente de un transistor como diodo, como triodo y la suma de ambas.

La magnitud del rango lineal es aproximadamente igual al voltaje de control (1.28V). Además se observa un punto intermedio en la gráfica (figura 2.8) para el cual la variación es simétrica hacia ambos lados, y es justamente ahí donde se encuentra.

2.4 DISEÑO DE LAS CELDAS DE RETARDO

2.4.1 Diseño de la fuente de corriente

El voltaje máximo de polarización de compuerta es igual a 2V. Para lo cual se tiene un voltaje saturación apenas un poco mayor a 1V.

$$V_{DSAT} = 2V - V_{THN} = 1.26V, \text{ donde: } V_{THN} = 0.74V \quad (2.7)$$

La corriente de trabajo puede ser la misma que para el caso anterior (250μA), pero se hace un escalamiento a 2.5 mA, para obtener los rangos de frecuencia deseados. Así que para estas condiciones, las dimensiones necesarias son:

GENERADOR DE RELOJ CON MODULACIÓN DE ESPECTRO DISPERSO

$$\left(\frac{W}{L}\right)_{FUENTE} = \frac{I_D}{\left(K_{PN}/2\right) * (V_{GS} - V_{THN})^2} = \frac{2500\mu A}{29.75\mu A/V^2 (2V - 0.74V)^2} = 52.93 \quad (2.8a)$$

Para la fuente de corriente se debe tener la mas alta impedancia de salida posible, lo cual se logra a través de una modulación de canal (λ) pequeña mismo que requiere de una longitud de canal de grandes proporciones. Por otro lado, si la longitud del canal es muy grande, mas lo será el ancho de canal requerido, así que para no exceder las dimensiones del transistor fuente, se propone una longitud de canal igual a $2\mu m$, con lo que el ancho de este resulta ser:

$$W_{FUENTE} = 2\mu m(52.93) = 105.86\mu m \quad (2.8b)$$

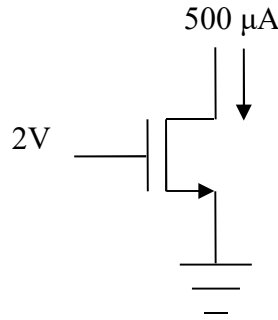


Figura 2.9. Fuente de corriente

Si se desea una corriente de trabajo mínima de $50\mu A$, el voltaje de polarización de compuerta así como el V_{DSAT} requeridos son:

$$V_{GS} = V_{TH} + \sqrt{\frac{I_D}{\left(K_{PN}/2\right) * (W/L)_{FUENTE}}} = 0.74V + \sqrt{\frac{50\mu A}{(29.75\mu A/V^2)(52.93)}} = 0.9181V \quad (2.9a)$$

$$V_{DSAT} = 0.9182V - 0.74V = 0.1782V \quad (2.9b)$$

Así que se requiere un rango de voltaje de polarización de $0.9181V$ a $2V$, para corrientes de $50\mu A$ a $2500\mu A$.

2.4.2 Diseño del par diferencial

Se propone un voltaje de saturación $V_{DSAT} = 1.2V$ para así obtener un rango lineal aproximado de $1.1V$ en el par diferencial a la máxima corriente; bajo estas condiciones la transconductancia es:

$$g_m = \frac{2 * I_D}{V_{DSAT}} = \frac{2 * (1250\mu A)}{1.2V} = 2.083mS \quad (2.10)$$

Y para este valor, las dimensiones requeridas para el par diferencial son:

$$\left(\frac{W}{L}\right)_{PAR DIFERENCIAL} = \frac{g_m^2}{2 * I_D * K_{PN}} = \frac{(2.083mS)^2}{2 * (1250\mu A) * (59.5\mu A / V^2)} \quad (2.11a)$$

$$\left(\frac{W}{L}\right)_{PAR DIFERENCIAL} = 29.17 \quad (2.11b)$$

Con una longitud de canal de $0.8\mu m$, el ancho resulta de: $W = 23.34\mu m$. Para la corriente de trabajo mínima ($50\mu A$) se tiene que la transconductancia es:

$$g_m = \sqrt{2 * I_D * K_{PN} * \left(\frac{W}{L}\right)_{PAR DIFERENCIAL}} \quad (2.12a)$$

$$g_m = \sqrt{50\mu A * 59.5\mu A / V^2 * 29.17} = 294.58\mu S \quad (2.12b)$$

Y en consecuencia, el V_{DSAT} es:

$$V_{DSAT} = \frac{2 * I_D}{g_m} = \frac{100\mu A}{294.58\mu S} = 0.3394V \quad (2.13)$$

GENERADOR DE RELOJ CON MODULACIÓN DE ESPECTRO DISPERSO

Para obtener una oscilación sinusoidal, la ganancia de la celda debe ser apenas mayor a 1, para esto se debe considerar la transconductancia (par diferencial de la celda) y la resistencia de salida (Cargas de Maneatis).

2.4.3 Diseño de Cargas

Se deben elegir las dimensiones adecuadas para trabajar a la carga de Maneatis (figura 2.10) en su zona de más alta impedancia [5], que es además la zona de mayor linealidad (figura 2.11) y que permite disminuir considerablemente la ganancia requerida en el par diferencial.

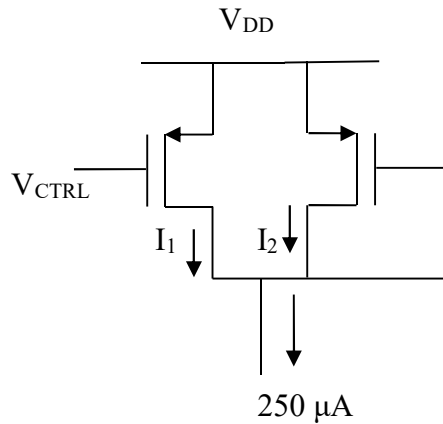


Figura 2.10. Carga de Maneatis.

El voltaje donde se tienen estas condiciones es precisamente a la mitad del rango del voltaje de control de la carga. Alrededor de este punto, existe la mayor resistencia y linealidad, de aquí que la carga debe operar en este punto. El voltaje de compuerta-fuente es generado por el búfer de control. Además, se sabe que el V_{DSAT} para el transistor fuente de la rama es de $1.26V$, y para el par diferencial de $1.2V$.

Bajo estas condiciones y para que el transistor fuente como el par diferencial operen en su región de saturación, el voltaje de control deberá ser como mínimo:

$$V_{ctrl} \geq 5V - 1.26V - 1.2V = 2.54V \quad (2.14)$$

GENERADOR DE RELOJ CON MODULACIÓN DE ESPECTRO DISPERSO

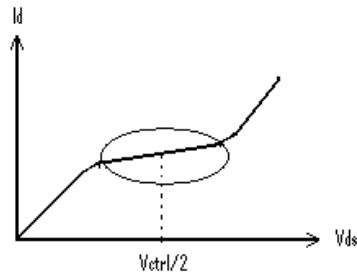


Figura 2.11. Respuesta de la celda de Maneatis.

Como se tiene un transistor operando en triodo en paralelo con uno operando en saturación, la resistencia del primero es mucho menor a la del segundo, así que la resistencia de salida es cercana a la del triodo, esta debe ser igual al valor de la ganancia en dc entre la transconductancia para generar la ganancia unitaria a la frecuencia del polo:

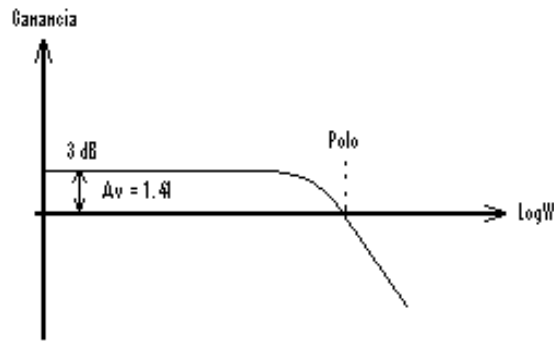


Figura 2.12. Ganancia necesaria en la celda.

Dicha resistencia de carga viene determinada por:

$$R_{OUT} = \frac{1.41}{g_m} = \frac{1.41}{2.083mS} = 676.9\Omega \quad (2.15)$$

La corriente I1 está limitada por la resistencia del transistor que opera en triodo, esta viene determinada por la fórmula:

$$R_{ON} = \frac{1}{\frac{K_{NP}}{2} * \left(\frac{W}{L}\right)_{TRIODO} * V_{DSAT}} = \frac{1}{\frac{29.75\mu A/V^2}{2} * \left(\frac{W}{L}\right)_{TRIODO} * (2.54V - 0.94V)} \quad (2.16a)$$

GENERADOR DE RELOJ CON MODULACIÓN DE ESPECTRO DISPERSO

Así mismo, la ley de Ohm establece que la resistencia es:

$$R_{ON} = \frac{V}{I} = \frac{V_{CTRL}/2}{I1} = \frac{1.27V}{1250\mu A - I2} \quad (2.16b)$$

Igualando ambas ecuaciones se tiene:

$$\frac{1.27}{1250\mu A - I2} = \frac{1}{23.8\mu A * \left(\frac{W}{L}\right)_{TRIODO}} \quad (2.16c)$$

$$30.226\mu A \left(\frac{W}{L}\right)_{TRIODO} = 1250\mu A - I2 \quad (2.16d)$$

Por otro lado, la corriente I2 es determinada por el transistor que se encuentra conectado como diodo:

$$I2 = \frac{K_{PN}}{2} * \left(\frac{W}{L}\right)_{Diodo} * (V_{GS} - V_{TH})^2 \quad (2.17a)$$

$$I2 = \frac{19.5\mu A/V^2}{2} * \left(\frac{W}{L}\right)_{Diodo} * (1.27V - 0.94V)^2 \quad (2.17b)$$

$$I2 = 1.062\mu A * \left(\frac{W}{L}\right)_{Diodo} \quad (2.17c)$$

Y al sustituir la ecuación 2.17c en 2.16d, se tiene:

$$30.226\mu A \left(\frac{W}{L}\right)_{TRIODO} + 1.062\mu A \left(\frac{W}{L}\right)_{Diodo} = 1250\mu A \quad (2.18)$$

GENERADOR DE RELOJ CON MODULACIÓN DE ESPECTRO DISPERSO

La relación de dimensiones si ambos transistores son idénticos es:

$$\left(\frac{W}{L}\right)_{CARGA} = \frac{1250\mu A}{31.288\mu A} = 39.95 \quad (2.19)$$

Por otro lado, la resistencia de cada uno de los transistores es:

$$R_{TRIODO} = \frac{1.27V}{30.226\mu A \left(\frac{W}{L}\right)^{TRIODO}} \quad (2.20)$$

$$R_{DIODO} = \frac{1}{\lambda * 1.062\mu A \left(\frac{W}{L}\right)^{DIODO}} \quad (2.21)$$

Donde:

$$\lambda \cong \frac{10^7}{\sqrt{N_A} * L}; \quad \text{Que es aplicable para } V_{DS} > V_{DSAT}, [16, \text{Pag.31}]. \quad (2.22a)$$

Para la tecnología, la concentración de dopado “N_A” es igual a 1.7e17, así que:

$$\lambda \cong \frac{10^7}{\sqrt{1.7e17} * 0.8} = 0.03031/V \quad (2.22b)$$

Para cuando ambos transistores son idénticos, la resistencia total es:

$$R_{TOTAL} = \frac{1}{30.226\mu A \left(\frac{W}{L}\right)^{TRIODO} + 32.18nA \left(\frac{W}{L}\right)^{DIODO}} = 3390\Omega \quad (2.23a)$$

$$\left(\frac{W}{L}\right)_{CARGA} = \frac{1}{30.258\mu A * 676.9\Omega} = 48.82 \quad (2.23b)$$

Y para una longitud de canal propuesta de $0.8\mu\text{m}$, el ancho debe ser $39\mu\text{m}$.

2.5 DISEÑO DEL “BÚFER DE CONTROL”

Este es el encargado de generar el voltaje apropiado de polarización para las cargas de la celda de retardo figura 2.13. De esta rama, ya se conocen las dimensiones del transistor Fuente que previamente se han calculado para la rama “Medio Búfer”: $W = 11.45\mu\text{m}$ y $L = 2\mu\text{m}$.

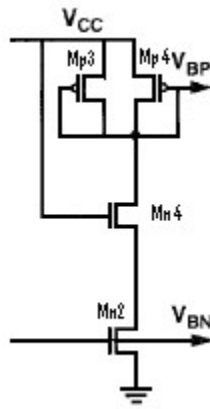


Figura 2.13. Búfer de control.

Los transistores Mp3 y Mp4 deben proporcionar una corriente de $250\mu\text{A}$ entre los dos y con un voltaje de compuerta-fuente igual a 2.54V que es el requerido por la celda, con esto se tiene:

$$\left(\frac{W}{L}\right)_{MP3,4} = \frac{I_{ss}}{Kp/2 * (V_{GS} - V_{THP})^2} \quad (2.24a)$$

$$\left(\frac{W}{L}\right)_{MP3,4} = \frac{125\mu\text{A}}{19.5\mu\text{A}/2 * (2.54\text{V} - 0.94\text{V})^2} = 5.008 \quad (2.24b)$$

Para $0.8\mu\text{m}$ de longitud de canal, se tiene; $W = 4\mu\text{m}$

El transistor Mn4 se diseña de manera similar al transistor Mn3 por esto, se tiene:

GENERADOR DE RELOJ CON MODULACIÓN DE ESPECTRO DISPERSO

$$V_{GS} = 5V - 1.26V = 3.74V \quad (2.25)$$

En este caso, el voltaje de drenador-fuente es:

$$V_{DS} = V_{DD} - V_{DSMN2} - V_{DSMP3} = 5V - 1.26V - 2.54V = 1.2V \quad (2.26)$$

Por estar este en la región de triodo, las dimensiones mínimas requeridas son:

$$\left(\frac{W}{L}\right)_{MN4} = \frac{I_{DMN3}}{K_{pn} * [(V_{GS} - V_{THN})V_{DS} - V_{DS}^2]} \quad (2.27a)$$

$$\left(\frac{W}{L}\right)_{MN4} = \frac{250\mu A}{59.5\mu A / V^2 * [(3.74V - 0.94V)1.2V - (1.2V)^2]} = 2.188 \quad (2.27b)$$

Y con esto las dimensiones son: $L = 0.8\mu m$ y $W = 1.75\mu m$

2.6 DISEÑO DEL AMPLIFICADOR

En la figura 2.14 se muestra un esquema del amplificador encargado de generar el voltaje de polarización adecuado para los transistores fuente de las celdas de retardo.

GENERADOR DE RELOJ CON MODULACIÓN DE ESPECTRO DISPERSO

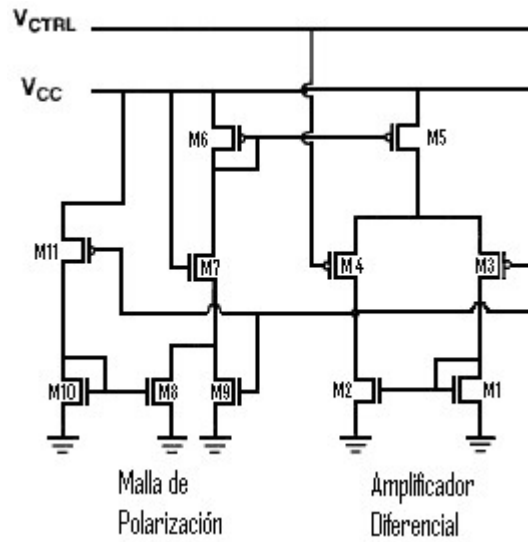


Figura 2.14. Amplificador y autopolarización.

2.6.1 Amplificador diferencial

Para comenzar el análisis se propone una corriente de trabajo de $200 \mu\text{A}$, y V_{DSAT} de 500 mV para el transistor fuente (M5) y 1V para el par diferencial (M3 y M4), estos dos últimos para obtener dimensiones no muy excesivas en los transistores.

Para el transistor fuente se tiene:

$$\left(\frac{W}{L}\right)_{M5} = \frac{I_D}{\left(\frac{K_{PN}}{2}\right) * (V_{\text{DSAT}})^2} = \frac{200 \mu\text{A}}{9.75 \mu\text{A} / \text{V}^2 (0.5 \text{V})^2} = 82.05 \quad (2.28)$$

Entonces; $L = 0.8 \mu\text{m}$ y $W = 65.64 \mu\text{m}$

En el par diferencial, se establece una transconductancia igual a:

$$g_m = \frac{2 * I_D}{V_{\text{DSAT}}} = \frac{2 * 100 \mu\text{A}}{1 \text{V}} = 200 \mu\text{S} \quad (2.29)$$

Y las dimensiones requeridas son:

GENERADOR DE RELOJ CON MODULACIÓN DE ESPECTRO DISPERSO

$$\left(\frac{W}{L}\right)_{M3,4} = \frac{gm}{K_{pp} * V_{DSAT}} = \frac{200\mu S}{19.5\mu A / V^2 * 1V} = 10.25 \quad (2.30)$$

Para los transistores M3 y M4; $L = 0.8\mu m$ y $W = 8.2\mu m$

Se desea tener una ganancia al menos de 100 para así tener una diferencia entre las tensiones de las terminales de entrada del amplificador menor a 50 mV. Para esto se requiere de una resistencia de salida con un valor igual a:

$$R_{out} = \frac{Av}{g_m} = \frac{100}{200mS} = 500k\Omega \quad (2.31)$$

Por otro lado, si el transistor de salida está en saturación, se debe calcular el valor de λ para tener esta resistencia de salida:

$$R_{DS} = \frac{1}{\lambda * I_D} \quad (2.32a)$$

$$\lambda = \frac{1}{R_{DS} * I_D} = \frac{1}{500K\Omega * 100\mu A} = 0.02 / V \quad (2.32b)$$

Y despejando la longitud de canal de la ecuación 2.22a, se obtiene:

$$L = \frac{10^7}{\sqrt{N_A} * \lambda} = \frac{10^7}{\sqrt{1.7 * 10^{17}} * 0.02} = 1.2126\mu m \quad (2.32c)$$

Para asegurar que esté saturado y no exceder en las dimensiones, se propone un voltaje de saturación para este transistor igual a 500 mV, lo cual cumple perfectamente con los requerimientos de la celda de retardo, pues el voltaje de polarización para el transistor fuente debe oscilar entre 1V y 2V. Con esto, el voltaje de compuerta-fuente para las cargas del amplificador debe ser:

GENERADOR DE RELOJ CON MODULACIÓN DE ESPECTRO DISPERSO

$$V_{GS} = V_{DSAT} + V_{THN} = 0.5V + 0.74V = 1.24V \quad (2.33)$$

Y con esto las dimensiones requeridas son:

$$\left(\frac{W}{L}\right)_{M1,2} = \frac{I_D}{\left(K_{PN}/2\right) * (V_{GS} - V_{THN})^2} = \frac{100\mu A}{29.75\mu A/V^2 (1.24V - 0.74V)^2} = 13.44 \quad (2.34)$$

Para los transistores M1 y M2; $L = 1.4 \mu m$ y $W = 18.82 \mu m$

El transistor M6 puede ser escalado para ahorrar un poco de área, se propone un escalamiento a 3, con esto las dimensiones son; $L = 0.8 \mu m$ y $W = 21.88 \mu m$

Y a su vez el voltaje de polarización requerido en compuerta fuente para este transistor es:

$$V_{GS} = V_{TH} + \sqrt{\frac{I_D}{\left(K_{PP}/2\right) * (W/L)_{M6}}} = 0.94V + \sqrt{\frac{200\mu A/3}{(9.75\mu A/V^2)(14.108)}} = 1.81V \quad (2.35)$$

2.6.2 Malla de Polarización

Solo falta diseñar la malla de auto polarización, para esta debe considerarse que la salida del amplificador se mantendrá entre 1V y 2V, así que se puede predefinir un valor medio de trabajo en 1.5V para el cual los transistores: M8 y M9 en conjunto deben proporcionar una corriente de 66.7 μA .

A través de cada uno de estos transistores al igual que por M10 debe circular una corriente de 33.3 μA con un voltaje de polarización de compuerta- fuente igual a 1.5V, de aquí la relación de dimensiones resultan ser:

$$\left(\frac{W}{L}\right)_{M10} = \frac{I_D}{\left(K_{PN}/2\right) * (V_{GS} - V_{THN})^2} = \frac{33.3\mu A}{29.75\mu A/V^2 (1.5V - 0.74V)^2} = 1.94 \quad (2.36a)$$

GENERADOR DE RELOJ CON MODULACIÓN DE ESPECTRO DISPERSO

Puesto que la relación es muy pequeña, se propone una longitud de canal igual a 2 μm , con lo que se obtiene un ancho igual a 3.88 μm , para que el funcionamiento de este transistor no se vea afectado en gran medida por las variaciones de proceso debido a dimensiones pequeñas

El transistor M11 debe proporcionar la misma corriente pero para una polarización de compuerta fuente igual a 3.5V.

$$\left(\frac{W}{L}\right)_{M11} = \frac{I_D}{\left(K_{PP}/2\right) * (V_{GS} - V_{THN})^2} = \frac{33.3\mu A}{9.75\mu A/V^2 (3.5V - 0.94V)^2} = 0.5216 \quad (2.36b)$$

Con una longitud de canal igual a 4 μm se obtiene un ancho de 2.086 μm .

Para asegurar que se tiene una correcta polarización se deben evaluar las esquinas; es decir, se debe evaluar el desempeño para las tres esquinas de proceso, voltaje y temperatura.

Cuando la salida del amplificador es 1V, M8 proporciona una corriente igual a:

$$I_{DM8} = \frac{K_{pn}}{2} * \left(\frac{W}{L}\right)_{M8} * (V_{GS} - V_{THN})^2 = 29.75\mu A/V^2 * 1.94 * (1V - 0.74V)^2 = 3.9\mu A \quad (2.37)$$

Y a su vez, M11;

$$I_{DM11} = \frac{K_{pp}}{2} * \left(\frac{W}{L}\right)_{M11} * (V_{GS} - V_{THP})^2 = 9.75\mu A/V^2 * 0.5216 * (4V - 0.94V)^2 = 47.6\mu A \quad (2.38)$$

En conjunto, ambas proporcionan una corriente igual a 51.5 μA , lo cual es un poco menor a lo requerido. Caso contrario, cuando se tienen 2V a la salida del amplificador, se tiene para M8;

$$I_{DM8} = 29.75\mu A/V^2 * 1.94 * (2V - 0.74V)^2 = 91.65\mu A \quad (2.39)$$

GENERADOR DE RELOJ CON MODULACIÓN DE ESPECTRO DISPERSO

Y para M11 se tiene:

$$I_{DM11} = 9.75 \mu A / V^2 * 0.5216 * (3V - 0.94V)^2 = 21.57 \mu A \quad (2.40)$$

Y en conjunto, ambas generan una corriente igual a 113 μA , superior a la necesaria. Se pueden aumentar un poco las dimensiones de M11 y disminuir las de M8, para compensar las esquinas y tener menos variación en la corriente de polarización.

2.7 FRECUENCIA DE OSCILACION

La figura 2.15 muestra la celda de Maneatis con todas las capacitancias parásitas asociadas a cada uno de los transistores que la componen.

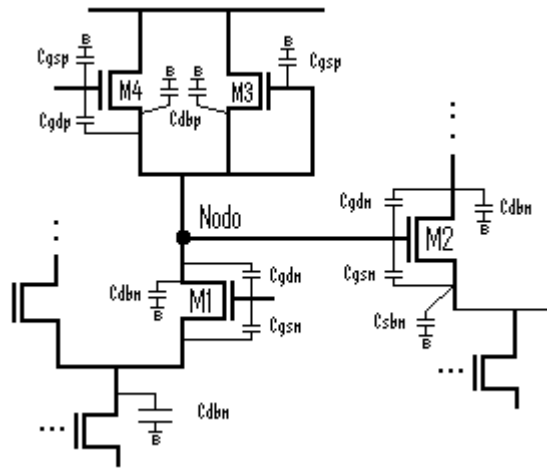


Figura 2.15. Celda de Maneatis.

Para calcular la frecuencia de oscilación, primeramente se debe calcular la capacitancia del nodo de salida, lo cual queda dado por:

$$C_{NODO} = 2C_{DBP} + C_{GSp} + C_{GDp} + C_{DBn} + C_{GDn} + C_{GSn} + C_{GDn} + C_{DBn} \quad (2.41a)$$

GENERADOR DE RELOJ CON MODULACIÓN DE ESPECTRO DISPERSO

Donde: $C_{GS}=C_{GD}$ y $C_{SB}=C_{DB}$, Así que la ecuación se simplifica:

$$C_{NODO} = 2C_{DBp} + 2C_{GSp} + 2C_{DBn} + 3C_{GSn} \quad (2.41b)$$

Y para calcular cada una de dichas capacitancias se tiene:

$$C_{DB} = \frac{W}{N} * E * Cj + 2 * \left(\frac{W}{N} + E \right) * Cj_{sw} \quad (2.41c)$$

$$C_{GS} = \left(\frac{2}{3} \right) W * L * Cox \quad (2.41d)$$

Donde:

“W” es el ancho de canal

“E” es la longitud de la difusión

“N” es el número de compuertas de un transistor.

Cj es la capacitancia de unión (“área”)

Cj_{sw} es la capacitancia de unión de las paredes laterales.

Y para la tecnología AMIS CMOS de 0.5μm se tiene:

$$C_{ox} = 2.51 \text{ fF} / \mu m^2$$

Para el transistor tipo “N”:

$$C_j = 0.42583 \text{ fF} / \mu m^2$$

$$C_{j_{sw}} = 0.3076 \text{ fF} / \mu m$$

Para el transistor tipo “P”:

GENERADOR DE RELOJ CON MODULACIÓN DE ESPECTRO DISPERSO

$$C_j = 0.7244 \frac{fF}{\mu m^2}$$

$$C_{jsw} = 0.23987 \frac{fF}{\mu m}$$

La capacitancia de compuerta de todo transistor se calcula de la siguiente forma:

$$C_{GS} = \left(\frac{2}{3}\right) * W_{din} * L_{din} * C_{ox} \quad (2.42a)$$

Donde “Wdin” y “Ldin” son el ancho y largo dinámicos de canal, para llegar a estos, se toma en cuenta las dimensiones de diseño además de otros parámetros. Para simplificar el cálculo, se toma a las dimensiones dinámicas como si fuesen directamente las dimensiones de diseño, por esto se ha citado a la ecuación (2.41d).

$$C_{GSn} = \left(\frac{2}{3}\right) * (23.34 \mu m) * (800 nm) * (2.517 fF / \mu m^2) \quad (2.42b)$$

$$C_{GSn} = 31.33 fF \quad (2.42c)$$

$$C_{GSp} = \left(\frac{2}{3}\right) * (39 \mu m) * (800 nm) * (2.517 fF / \mu m^2) \quad (2.42d)$$

$$C_{GSp} = 52.35 fF \quad (2.42e)$$

$$C_{GS tail} = \left(\frac{2}{3}\right) * (120 \mu m) * (2 \mu m) * (2.517 fF / \mu m^2) \quad (2.42f)$$

$$C_{GS tail} = 402.72 fF \quad (2.42g)$$

$$C_{DBp} = \frac{39 \mu m}{1} * 1.8 \mu m * 0.7244 \frac{fF}{\mu m^2} + 2 * \left(\frac{39 \mu m}{1} + 1.8 \mu m \right) * 0.23987 \frac{fF}{\mu m} \quad (2.43a)$$

$$C_{DBp} = 50.853 fF + 19.5734 fF = 70.4264 fF \quad (2.43b)$$

$$C_{DBn} = \frac{23.45 \mu m}{1} * 1.8 \mu m * 0.4258 \frac{fF}{\mu m^2} + 2 * \left(\frac{23.45 \mu m}{1} + 1.8 \mu m \right) * 0.3076 \frac{fF}{\mu m} \quad (2.43c)$$

GENERADOR DE RELOJ CON MODULACIÓN DE ESPECTRO DISPERSO

$$C_{DBn} = 17.973 fF + 15.534 fF = 33.507 fF \quad (2.43d)$$

De tal manera que para la capacitancia de nodo se tiene:

$$C_{NODO} = 2C_{DBp} + 2C_{GSp} + 2C_{DBn} + 3C_{GSn} \quad (2.44a)$$

$$C_{NODO} = 2(70.4264 fF) + 2(52.35 fF) + 2(33.507 fF) + 3(31.33 fF) \quad (2.44b)$$

$$C_{NODO} = 252.8848 fF + 32.382 fF + 15.078 fF = 406.5568 fF \quad (2.44c)$$

Por otro lado, el retardo intrínseco de una sola celda [5] se calcula con la siguiente ecuación:

$$t = \frac{C_{NODO}}{Kp * \left(\frac{W}{L}\right)_{CARGAS} * (V_{CTRL} - V_{THP})} \quad (2.45a)$$

Como se trata de un VCDL de cuatro estados, el retardo intrínseco del arreglo de celdas es:

$$t_{Tot} = \frac{4 * C_{NODO}}{Kp * \left(\frac{W}{L}\right)_{CARGAS} * (V_{CTRL} - V_{THP})} \quad (2.45b)$$

Así que la frecuencia de oscilación es el inverso de este valor, y sustituyendo la transconductancia por su equivalente en corriente, se tiene:

$$F_{osc} = \frac{\sqrt{2 * I_D * \left(\frac{W}{L}\right)_{CARGAS} * Kp}}{4 * C_{NODO}} \quad (2.46a)$$

$$F_{osc} = \frac{\sqrt{(2.5mA) * 48.82 * (19.5 \mu A / V^2)}}{4 * (406.5568 fF)} = \frac{0.0015427 A / V}{1626.23 fF} \quad (2.46b)$$

$$F_{osc} = 948.64MHz \quad (2.46c)$$

2.8 RESULTADOS PRE-LAYOUT

2.8.1 Celda de réplica

La corriente medida cuando el voltaje de control es 1.5V, había sido calculada en 500 μA , y se obtuvieron 524 μA , con un voltaje compuerta-fuente en el transistor fuente igual a 1.88V. (figura 2.16).

Para optimizar se planean dimensiones finales de la mitad, para ahorrar área y disminuir igualmente el consumo de potencia. Así que la corriente final máxima es de 250 μA aproximadamente.

Cabe mencionar que esta parte no es muy conveniente de optimizar demasiado en área, ya que para las frecuencias bajas de trabajo, las corrientes podrían ser demasiado pequeñas con lo cual la inmunidad al ruido se vería seriamente afectada. En este caso, la corriente mínima de operación es de 3 μA para una frecuencia de aproximadamente 50 MHz.

Las tablas 2.1, 2.2 y 2.3 muestran los valores de las dimensiones de los transistores.

GENERADOR DE RELOJ CON MODULACIÓN DE ESPECTRO DISPERSO

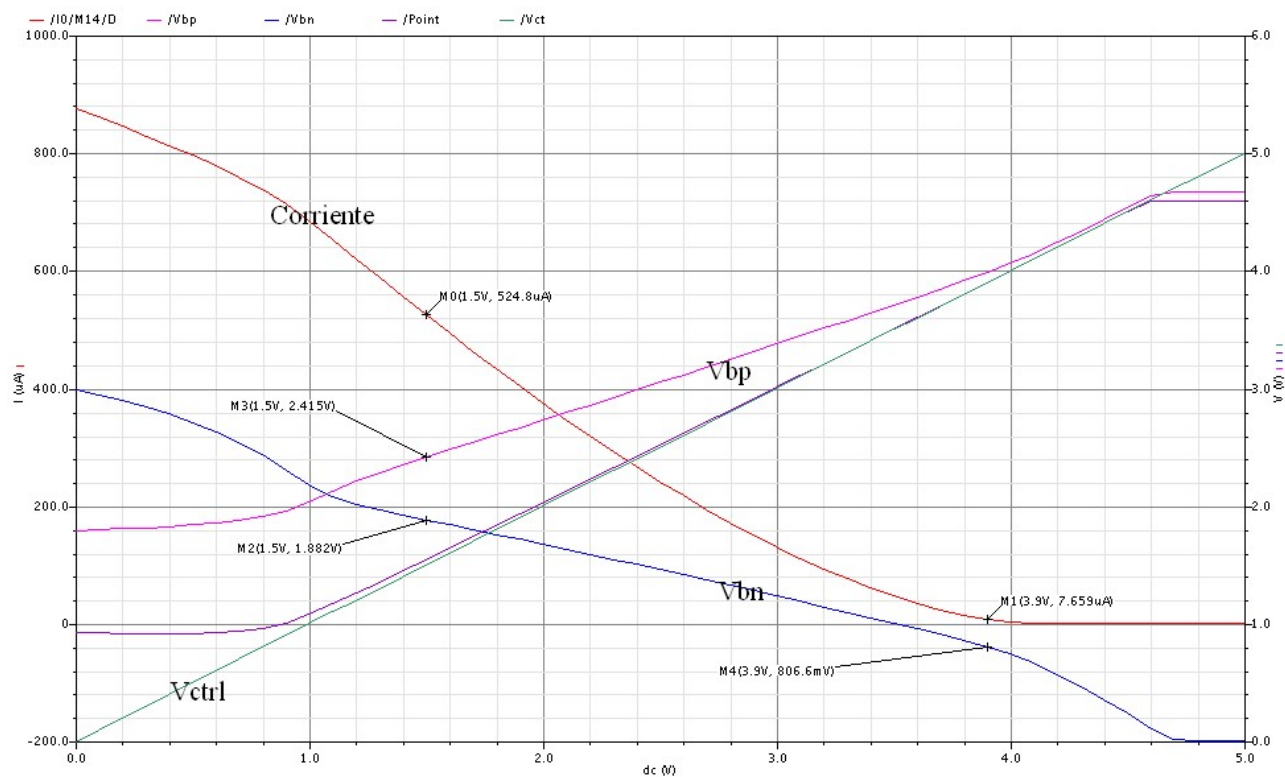


Figura 2.16. Análisis en DC para el circuito de réplica.

Transistor	M1 y M2	M3 y M4	M5	M6	M7	M8, M9 y M10	M11
Tipo:	Canal "N"	Canal "P"	Canal "P"	Canal "P"	Canal "P"	Canal "N"	Canal "P"
Ancho:	5.6 μm	4.2 μm	33.8 μm	11.3 μm	10 μm	2 μm	1.1μm
Longitud:	800 nm	800 nm	800 nm	800 nm	800 nm	2 μm	4 μm

Tabla 2.1. Dimensiones de Amplificador y auto polarización (figura 2.14).

Transistor	MP1 y MP2	MN3	MN1
Tipo:	Canal "P"	Canal "N"	Canal "N"
Ancho:	1.6 μm	5.8 μm	11.1 μm
Longitud:	800 nm	800 nm	2 μm

Tabla 2.2. Dimensiones del “Medio Búfer” (figura 2.2).

GENERADOR DE RELOJ CON MODULACIÓN DE ESPECTRO DISPERSO

Transistor	MP1 y MP2	MN3	MN1 "Tail"
Tipo:	Canal "P"	Canal "N"	Canal "N"
Ancho:	8 μm	6 μm	30 μm
Longitud:	800 nm	800 nm	2 μm

Tabla 2.3. Dimensiones del "Búfer de control" (figura 2.2).

Se realizó un escalamiento en las dimensiones de la celda para alcanzar la más alta frecuencia sin tener un gran compromiso en área y potencia de consumo. La frecuencia máxima alcanzada fue de 800 MHz, esto se observa mejor en la figura 2.17.



Figura 2.17. Ganancia final del VCO.

Al final se tiene una ganancia en el VCO igual a:

$$K_{vco} = \frac{(798.9\text{MHz} - 13.31\text{MHz})}{(1.306\text{V} - 4.008\text{V})} = -290.74\text{MHz/V} \quad (2.47)$$

GENERADOR DE RELOJ CON MODULACIÓN DE ESPECTRO DISPERSO

La señal sinusoidal a la salida del oscilador para las diferentes frecuencias se observa en la figura 2.18.

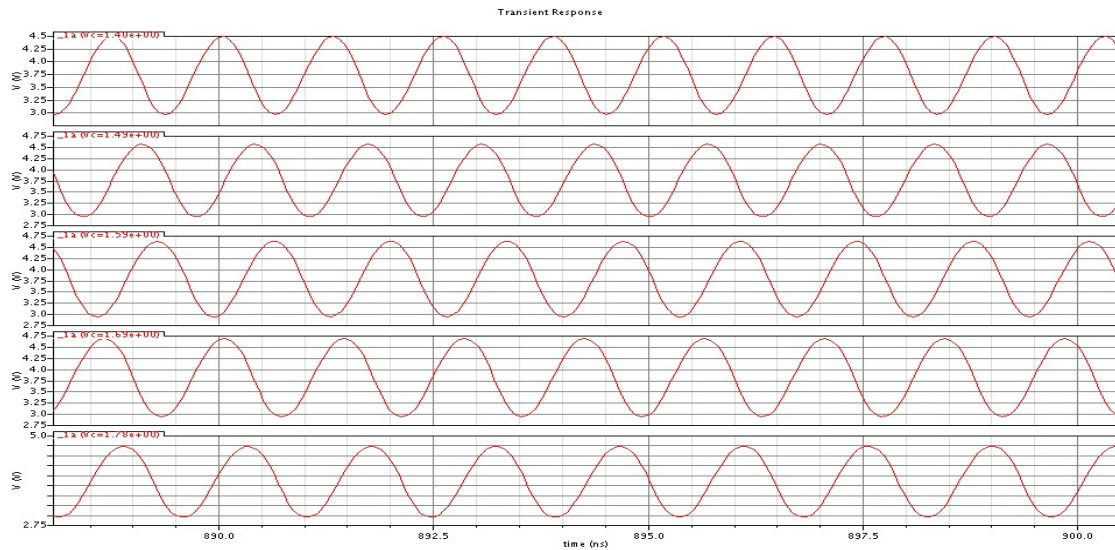


Figura 2.18. Señales de diferente frecuencia a la salida del VCO (Altas frecuencias).

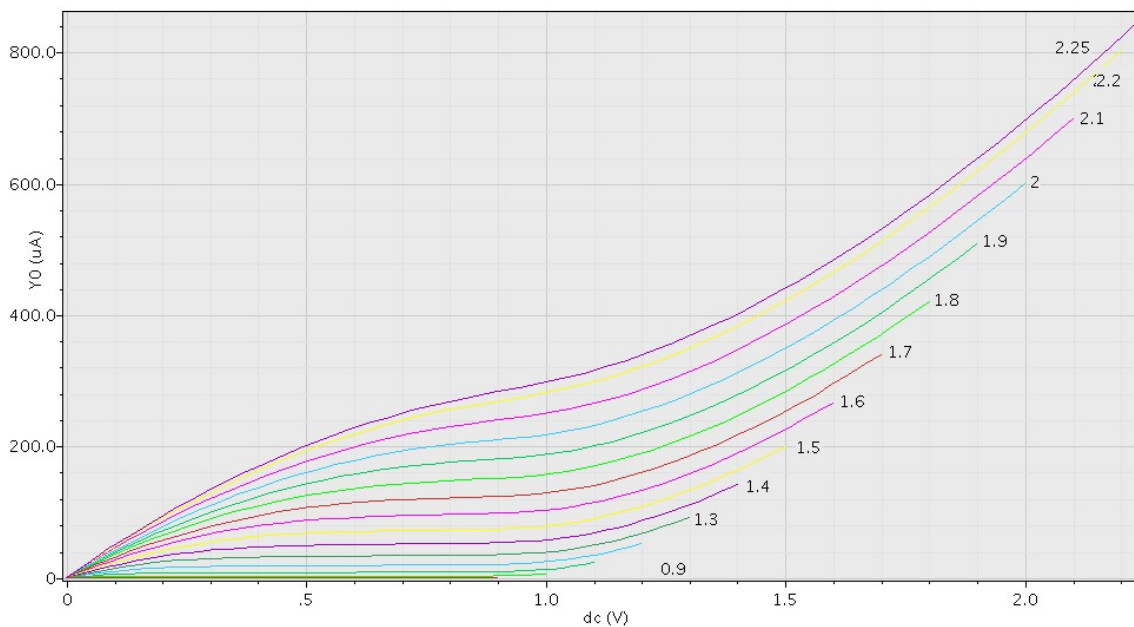


Figura 2.19. Respuesta de las cargas de Maneatis para diversos voltajes de control.

GENERADOR DE RELOJ CON MODULACIÓN DE ESPECTRO DISPERSO

En la figura 2.19 se muestra la respuesta de las cargas de Maneatis de dimensiones usadas en el diseño final.

Estando todos los transistores saturados, la corriente máxima de operación de la celda es de aproximadamente 3.2 mA (figura 2.20).

Vc	1.3	1.397	1.493	1.59	1.686	1.783
ids	3.158m	2.99m	2.822m	2.656m	2.496m	2.338m
Lx4	3.158m	2.99m	2.822m	2.656m	2.496m	2.338m
Lx50	0	0	0	0	0	0
vgs	1.945	1.903	1.863	1.823	1.783	1.744
vds	1.154	1.265	1.351	1.42	1.517	1.585
vbs	0	0	0	0	0	0
vgb	1.945	1.903	1.863	1.823	1.783	1.744
vdb	1.154	1.265	1.351	1.42	1.517	1.585
vgd	791.6m	638.8m	512.3m	403.3m	266.1m	158.6m
vth	677.7m	677.7m	677.7m	677.6m	677.6m	677.5m
lv9	677.7m	677.7m	677.7m	677.6m	677.6m	677.5m
vdsat	939.9m	910.6m	882.2m	854.1m	826.1m	798.2m

Figura 2.20. V_{DSAT} , V_{DS} , I_{DS} , etc. para el transistor fuente de la celda.

El voltaje de pico a pico de las señales tiene ciertas variaciones, estas se observan en la figura 2.21.

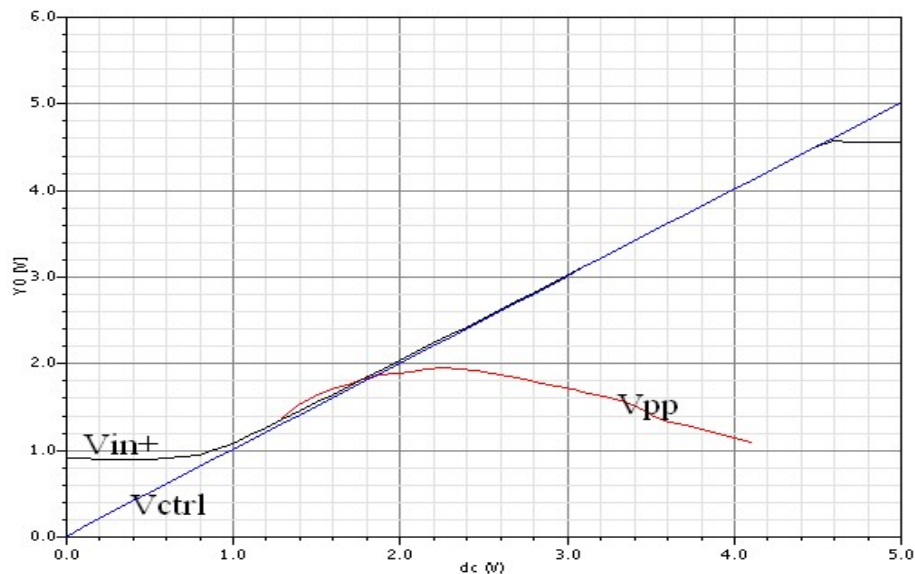


Figura 2.21. Magnitud del voltaje pico-pico de la oscilación.

La variación, como se observa, está entre 1.1V y 1.9V.

Las dimensiones finales de los transistores que forman a la celda diferencial, se muestran en la figura 2.22.

GENERADOR DE RELOJ CON MODULACIÓN DE ESPECTRO DISPERSO

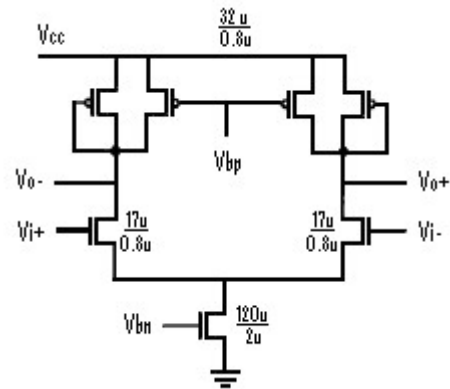


Figura 2.22. Dimensiones de los componentes en la celda diferencial.

El ruido de fase es medido para una frecuencia alta y para una baja se muestra en la figura 2.23.

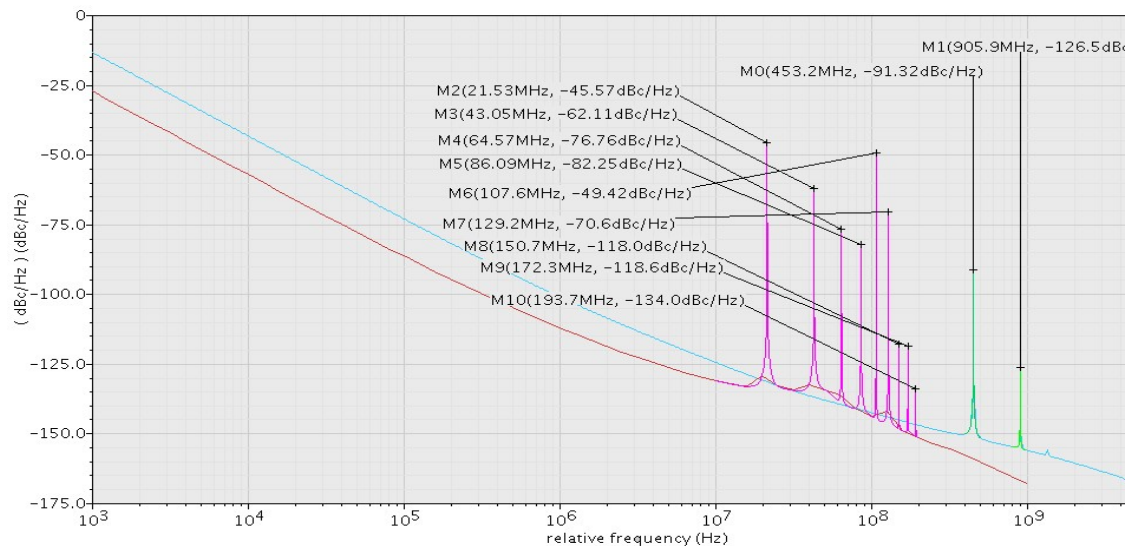


Figura 2.23. Ruido de fase para 21 MHz y para 453 MHz.

Para el VCO a diferentes condiciones de operación, se obtiene la respuesta en frecuencia y en amplitud pico a pico de la oscilación, a través de una simulación de 500 ns.

El peor caso en potencia es simulado para una variación del +/- 10 % en la alimentación y para temperaturas de -50 °C , 27 °C y 127 °C, que han sido impresas sobre su respectiva curva de respuesta. La curva sin impresión de temperatura es obtenida para un caso típico a 67 °C y 5V en la alimentación.

GENERADOR DE RELOJ CON MODULACIÓN DE ESPECTRO DISPERSO

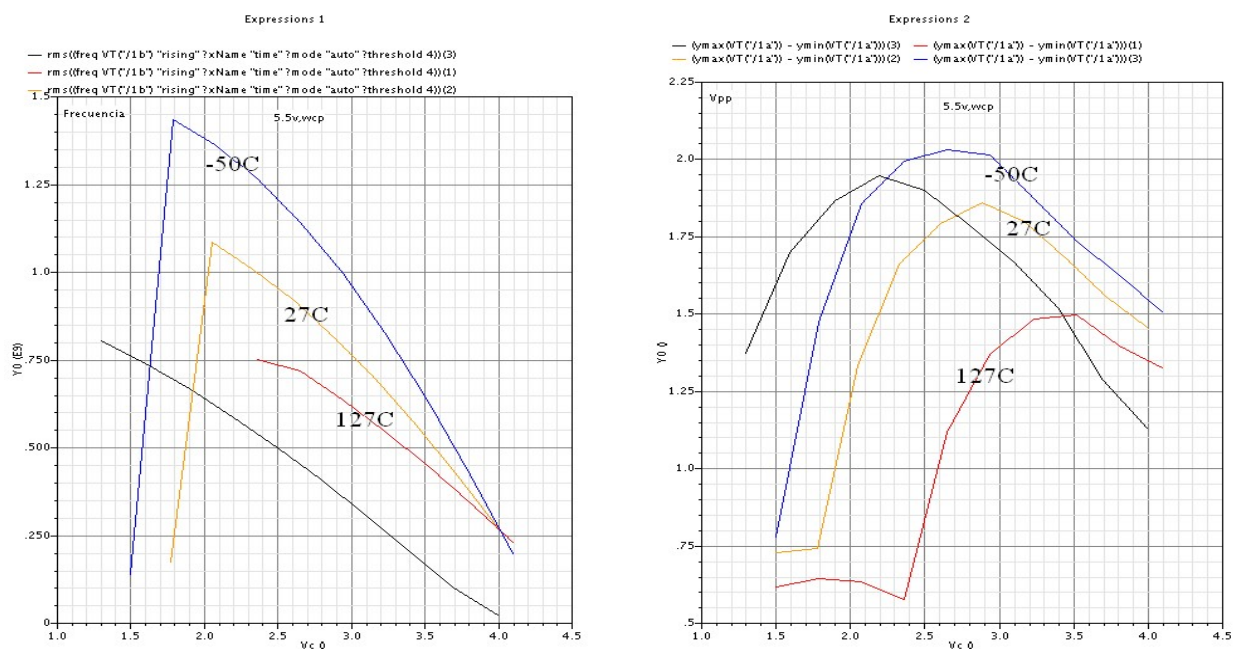


Figura 2.24. Ganancia del VCO y Vpp de la oscilación para “Peor caso en potencia” y 5.5V.

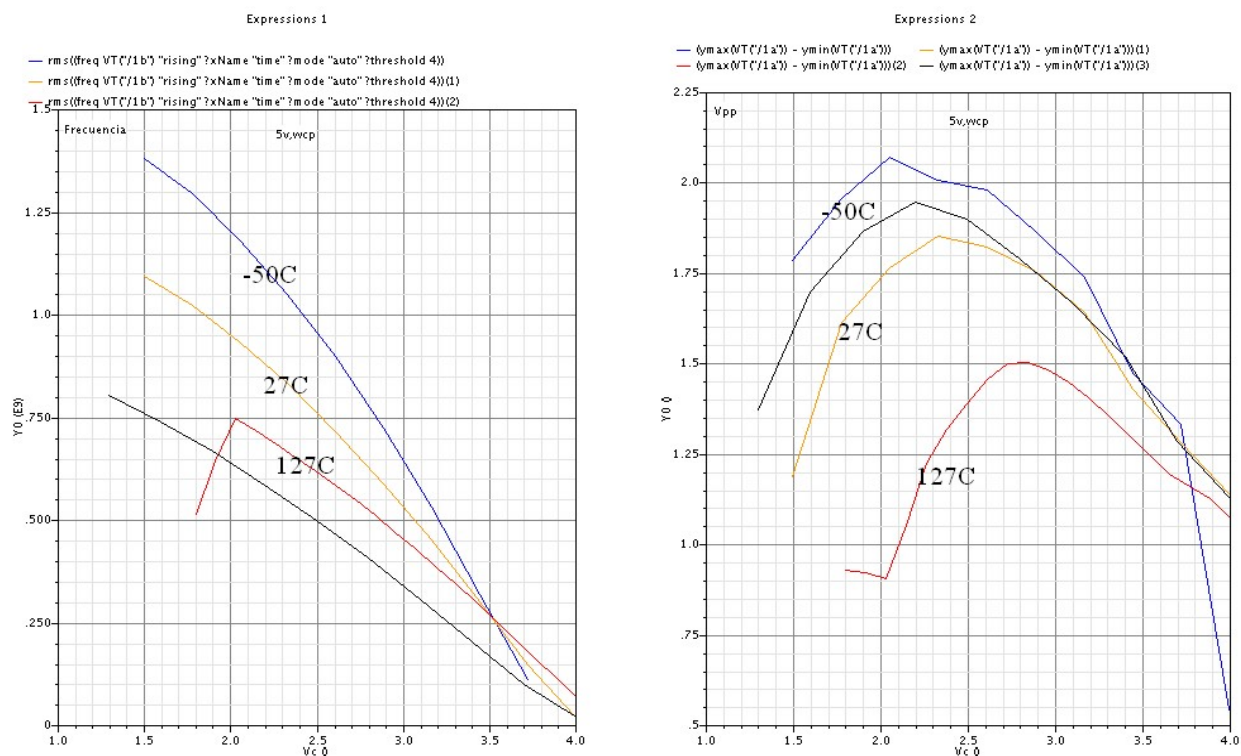


Figura 2.25. Ganancia del VCO y Vpp de la oscilación para “Peor caso en potencia” y 5.0 V.

GENERADOR DE RELOJ CON MODULACIÓN DE ESPECTRO DISPERSO

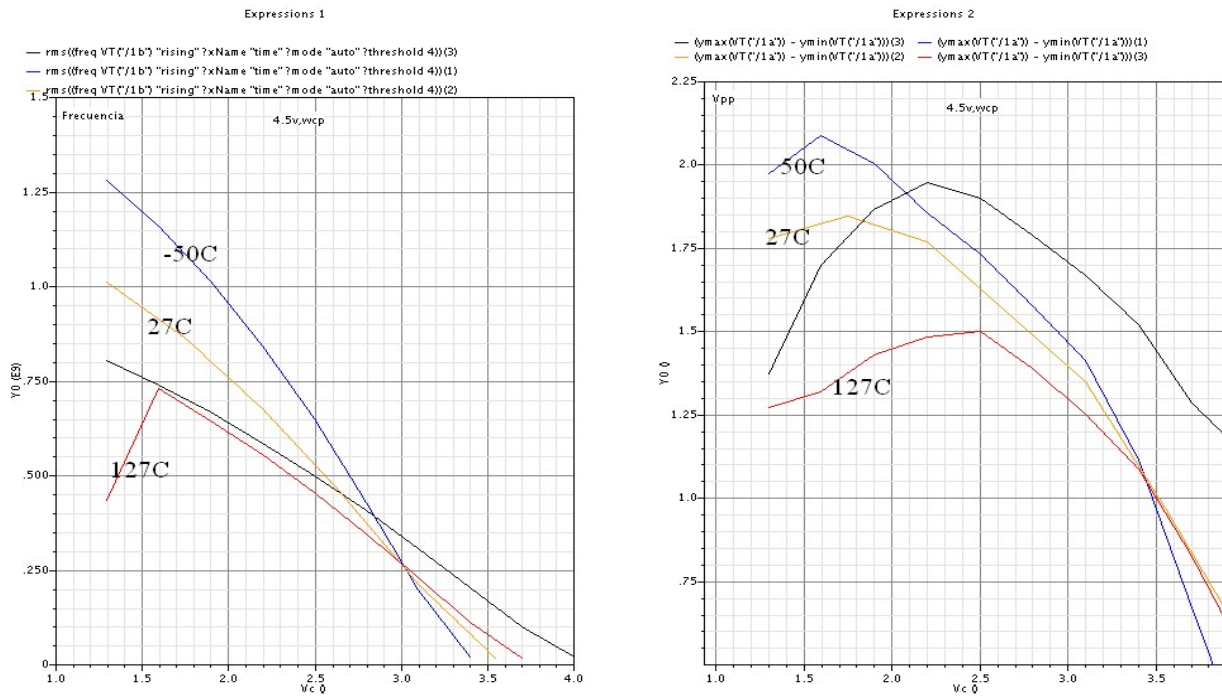


Figura 2.26. Ganancia del VCO y Vpp de la oscilación para “Peor caso en potencia” y 4.5V.

Para el peor caso en velocidad se realizan las mismas simulaciones: 4.5V, 5.0V y 5.5V combinados con las temperaturas: -50 °C , 27 °C y 127 °C.

GENERADOR DE RELOJ CON MODULACIÓN DE ESPECTRO DISPERSO

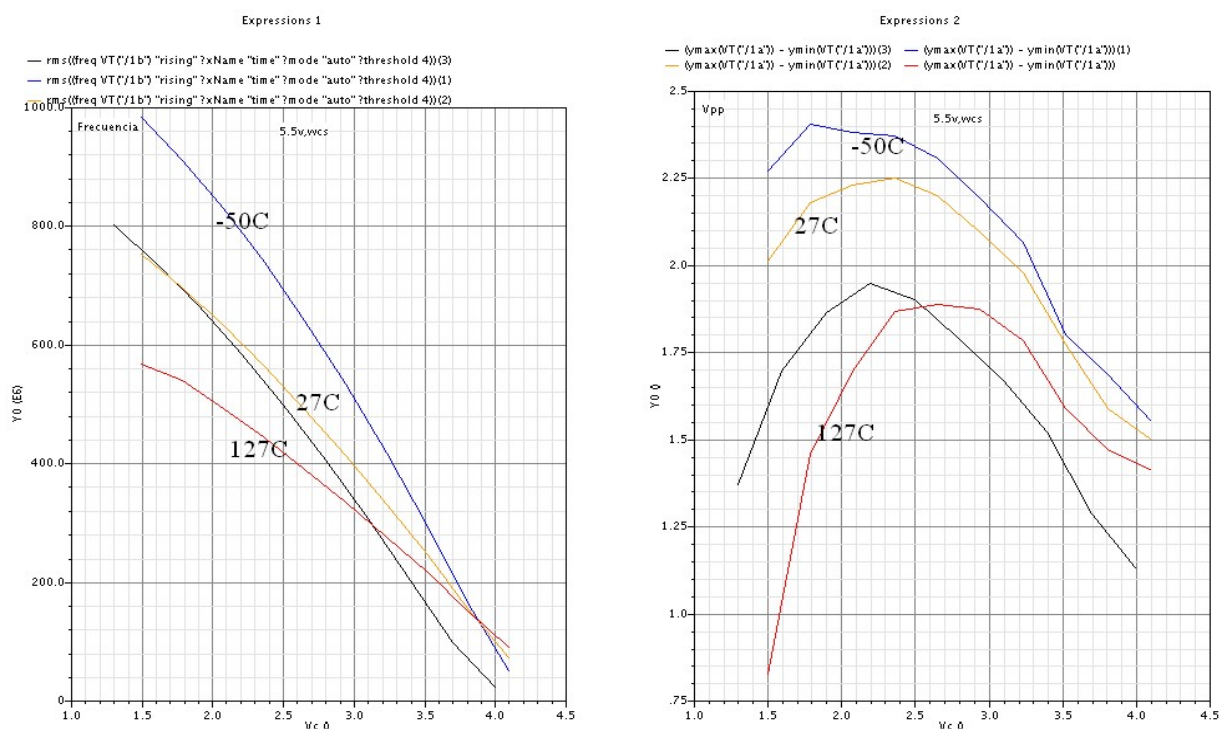


Figura 2.27. Ganancia del VCO y Vpp de la oscilación para “Peor caso en velocidad” y 5.5V.

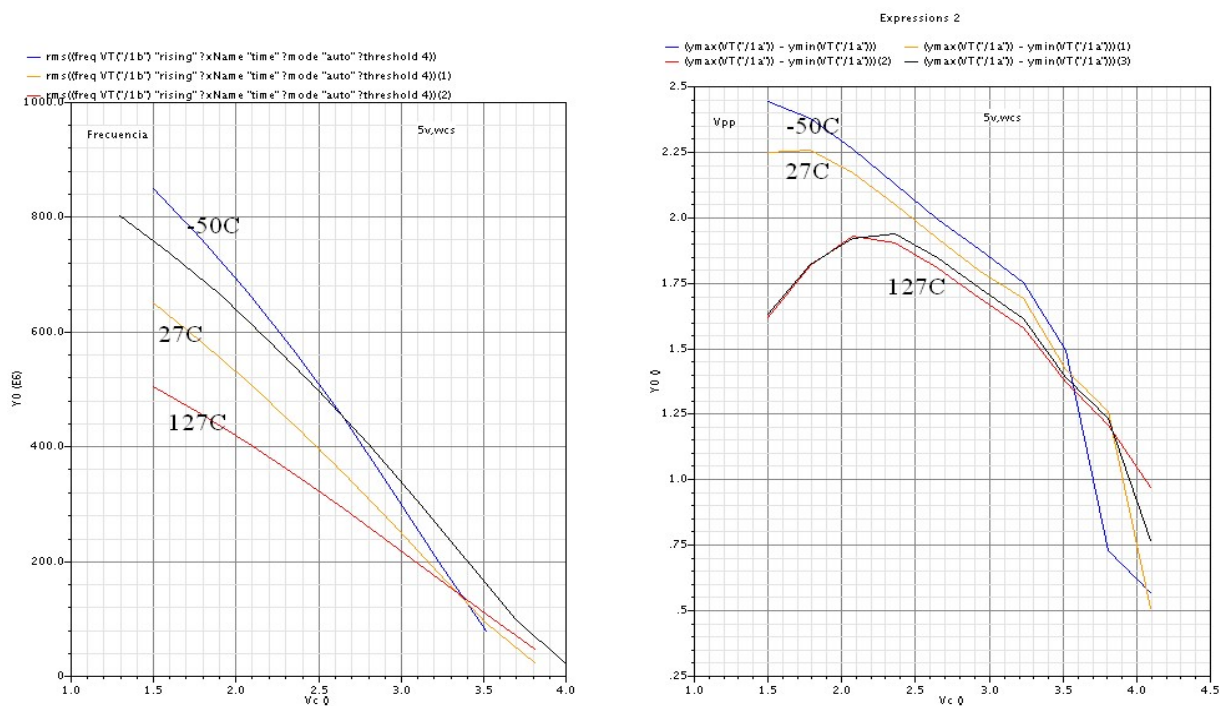


Figura 2.28. Ganancia del VCO y Vpp de la oscilación para “Peor caso en velocidad” y 5.0V.

GENERADOR DE RELOJ CON MODULACIÓN DE ESPECTRO DISPERSO

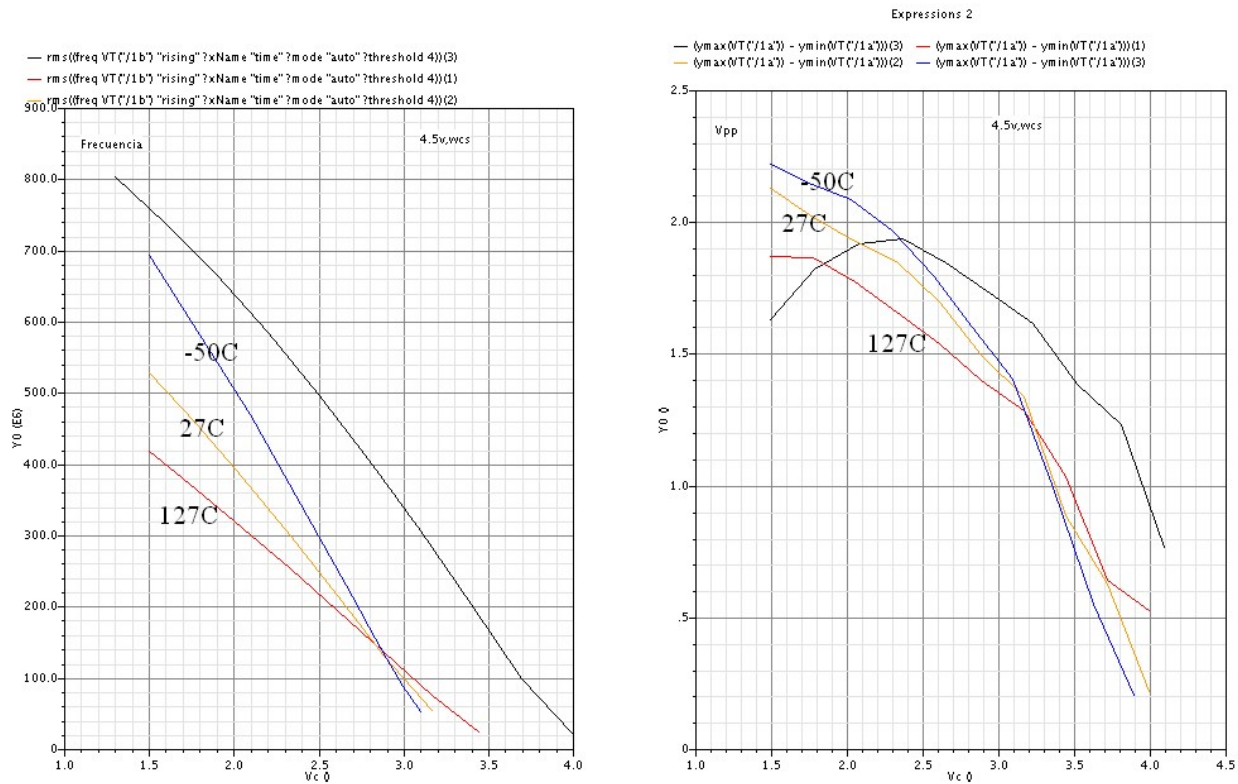


Figura 2.29. Ganancia del VCO y Vpp de la oscilación para “Peor caso en velocidad” y 4.5V.

Y por último el caso típico, combinado con los mismos casos en temperatura y voltaje.

GENERADOR DE RELOJ CON MODULACIÓN DE ESPECTRO DISPERSO

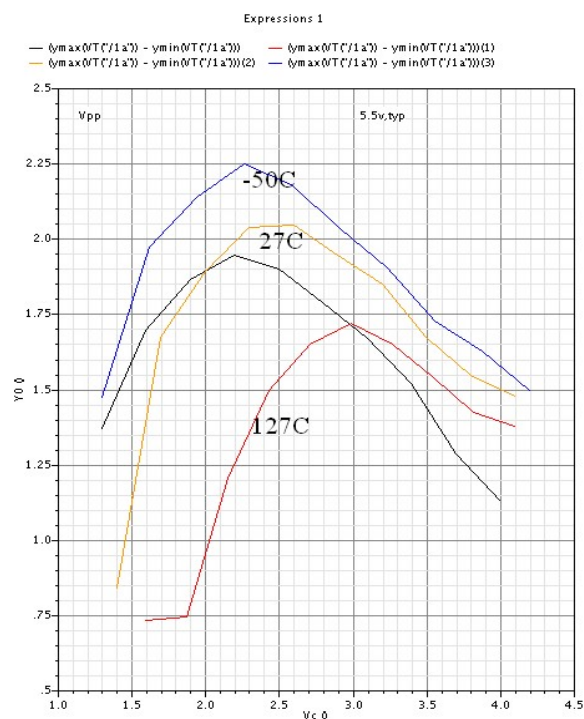
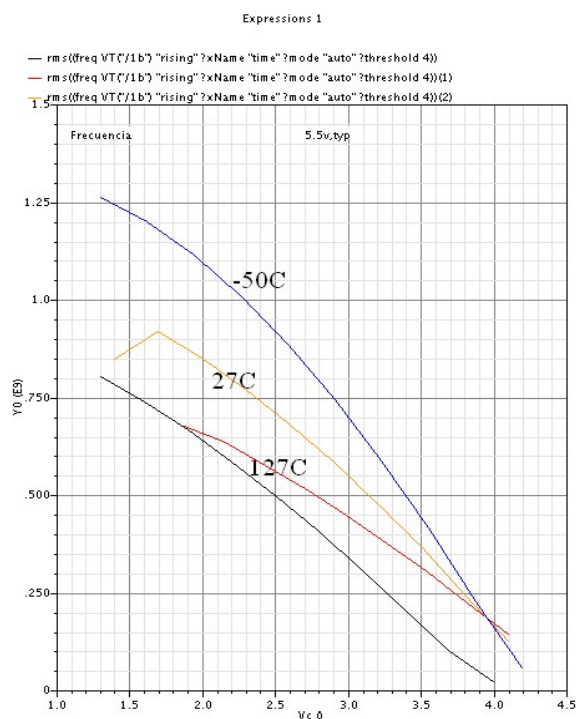


Figura 2.30. Ganancia del VCO y Vpp de la oscilación para "Caso típico" y 5.5V.

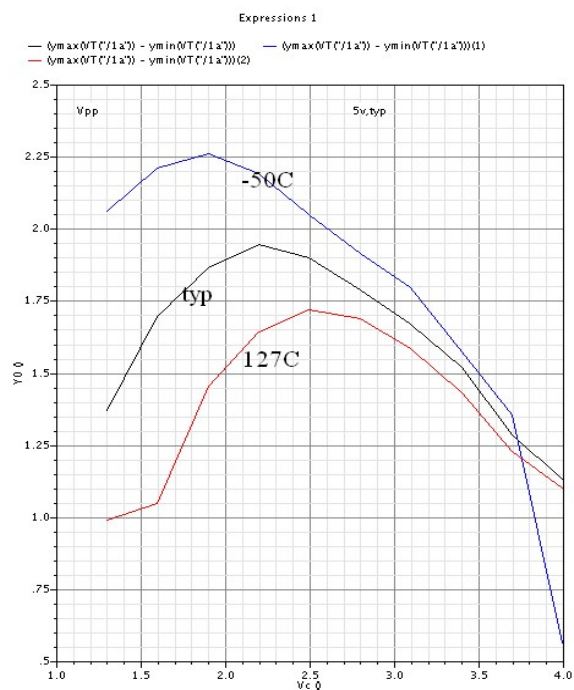
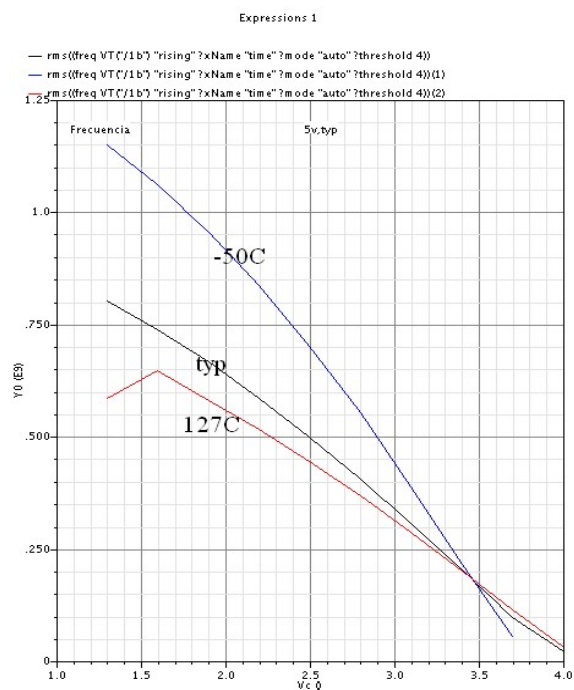


Figura 2.31. Ganancia del VCO y Vpp de la oscilación para "Caso típico" y 5V.

GENERADOR DE RELOJ CON MODULACIÓN DE ESPECTRO DISPERSO

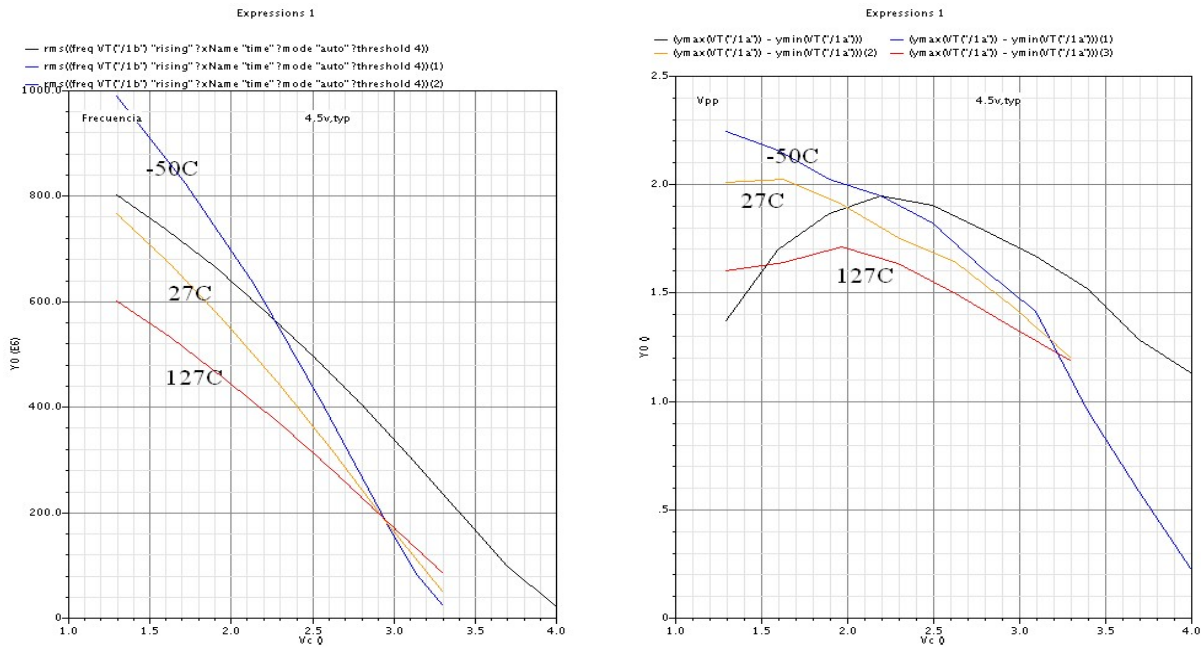


Figura 2.32. Ganancia del VCO y Vpp de la oscilación para “Caso típico” y 4.5V.

Para verificar el funcionamiento del VCO en el PLL, se realizaron simulaciones en lazo cerrado, donde se macro modelaron todos los bloques restantes en lenguaje Verilog A. Se consideraron dos frecuencias de entrada para simular, una a 740 MHz y otra a 20 MHz. Se simularon para un caso típico en proceso y una temperatura de 67 °C. Los resultados se muestran en las figuras 2.33, 2.34, 2.35 y 2.36:

GENERADOR DE RELOJ CON MODULACIÓN DE ESPECTRO DISPERSO

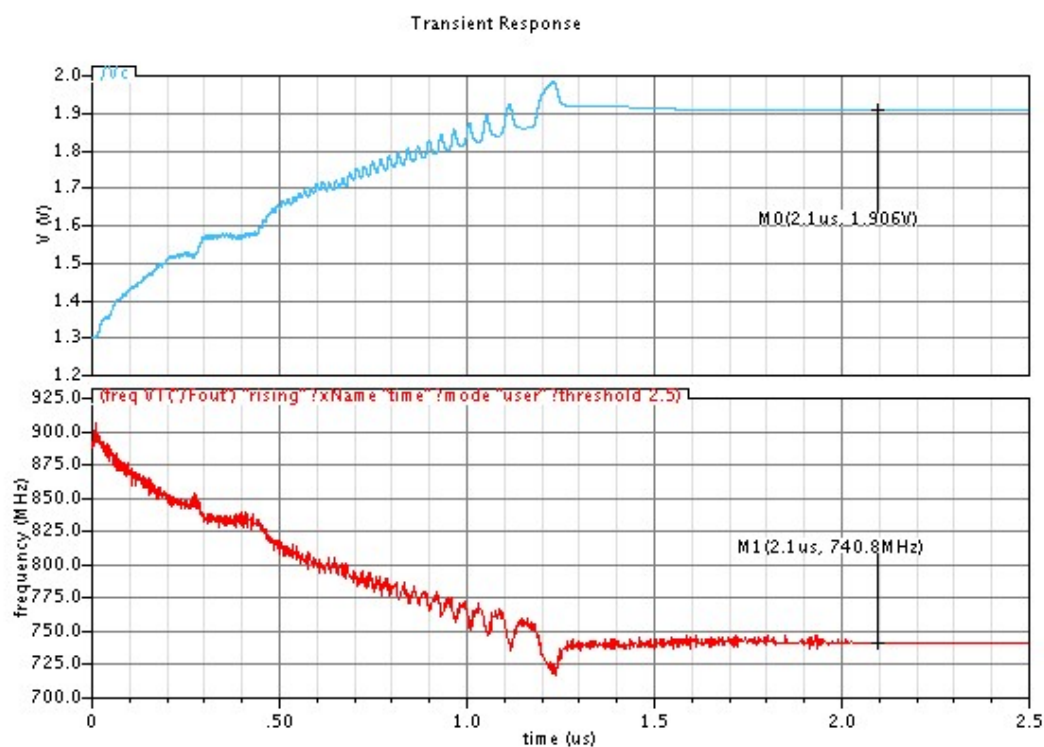


Figura 2.33. Voltaje de control y frecuencia de salida para una señal de entrada de 740 MHz.

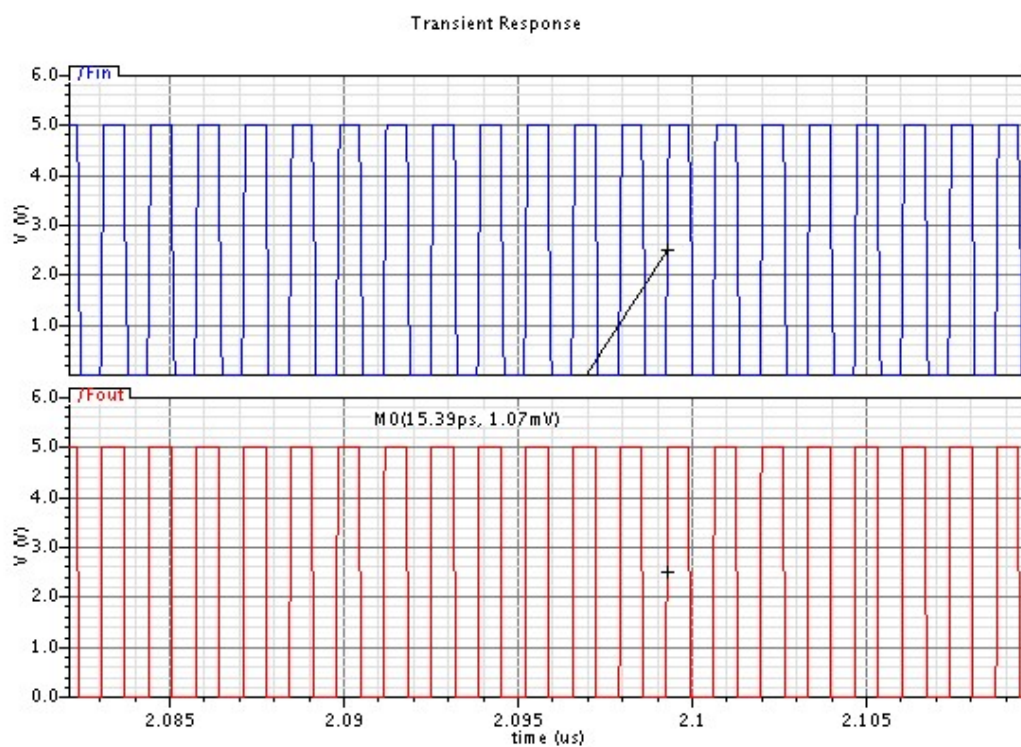


Figura 2.34. Error en estado estático de fase para una señal de entrada de 740 MHz.

GENERADOR DE RELOJ CON MODULACIÓN DE ESPECTRO DISPERSO

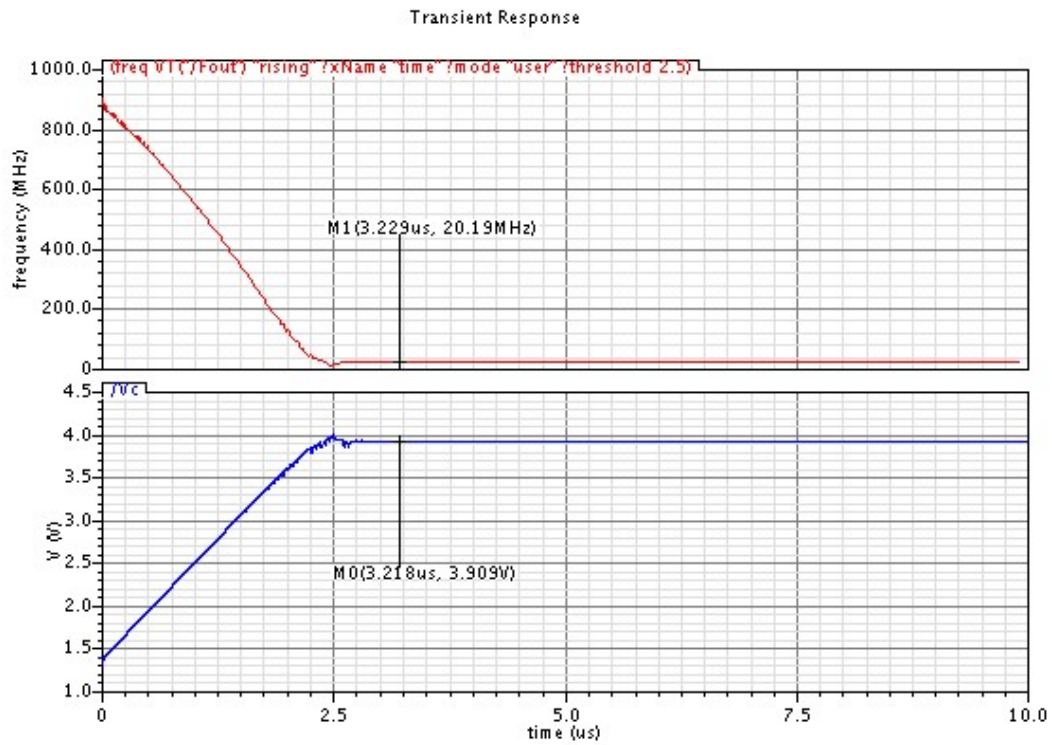


Figura 2.35. Voltaje de control y frecuencia de salida para una señal de entrada de 20 MHz.

GENERADOR DE RELOJ CON MODULACIÓN DE ESPECTRO DISPERSO

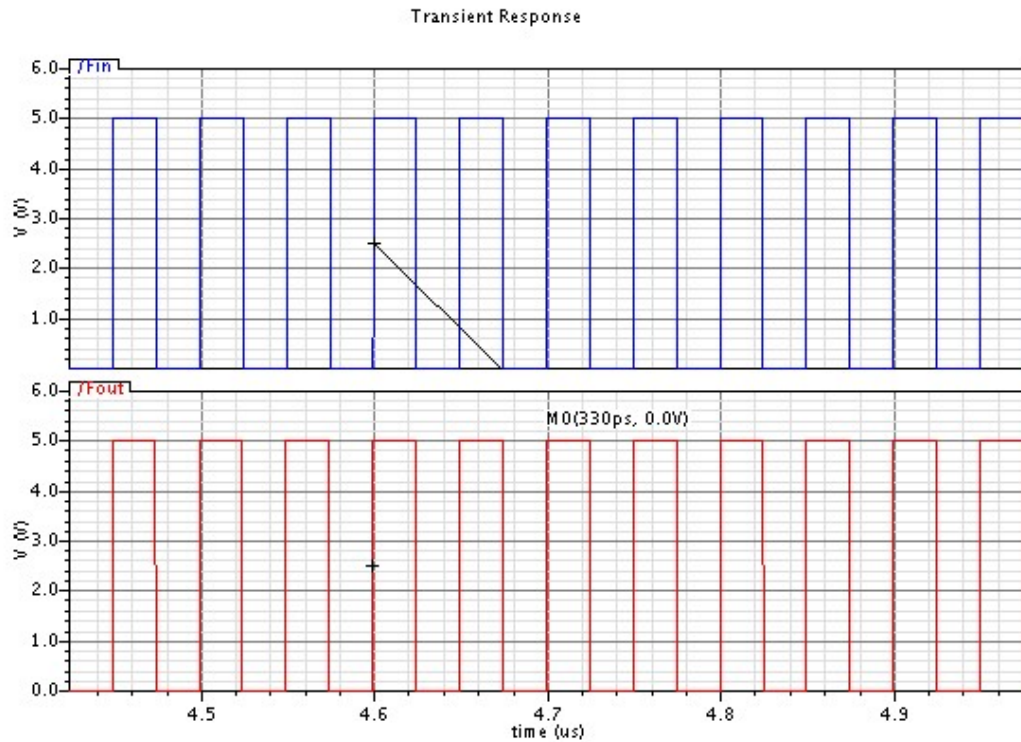


Figura 2.36. Error en estado estático de fase para una señal de entrada de 20 MHz.

El error en estado estático aumenta considerablemente para frecuencias bajas, sin embargo el tiempo de amarre, resulta ser bastante pequeño, inferior a 5 μ s.

CAPITULO 3. MODULADOR DE ESPECTRO DISPERSO

3.1. INTRODUCCIÓN

En sistemas digitales, la señal de reloj es una de las fuentes principales de interferencia electromagnética (EMI). Las técnicas de generación de señales de reloj con espectro disperso (SSCG) permiten eliminar o reducir este problema empleando conceptos de modulación en la señal de reloj. Los sistemas SSCG modulan la frecuencia de la señal de reloj de acuerdo a perfiles de modulación con formas de onda particulares (sinusoidal y/o triangular), lo cual permite la dispersión de la energía de cada uno de los componentes armónicos en un número determinado de componentes de banda lateral con menor amplitud pero en conjunto con la misma cantidad de energía [6]. Lo anterior se

GENERADOR DE RELOJ CON MODULACIÓN DE ESPECTRO DISPERSO

traduce en una dispersión de la energía total en un rango de frecuencias mayor; sin embargo, en cualquier frecuencia en específico la emisión radiada es menor.

Trabajos previos [7] [8] demuestran que la forma de onda de la señal de modulación afecta directamente la cantidad de emisión EMI por componente armónico en un sistema SSCG. La energía en el espectro de la señal modulada tiende a concentrarse en las frecuencias correspondientes a los puntos de la señal de modulación donde la razón de cambio con respecto al tiempo es mínima. En un periodo de una señal sinusoidal, figura 3.1(a), existen puntos donde la derivada es cero (máximos de la señal) y puntos donde la derivada es máxima (cruces por cero de la señal); por lo tanto el espectro de un armónico de la señal de reloj modulada con este tipo de perfil presenta picos de amplitud en las frecuencias correspondientes a los valores máximos de la señal y una mayor atenuación en las frecuencias correspondientes a los cruces por cero, tal como se muestra en la figura 3.1(b). Utilizando un perfil triangular, figura 3.1(c), para modular la señal de reloj es posible reducir los picos de amplitud presentes en los extremos del espectro generado por la señal sinusoidal; sin embargo, dado que la derivada de la forma de onda triangular es menor en sus cruces por cero que la señal sinusoidal, la atenuación en las frecuencias correspondientes a estos puntos es menor, tal como se muestra en la figura 3.1 (d).

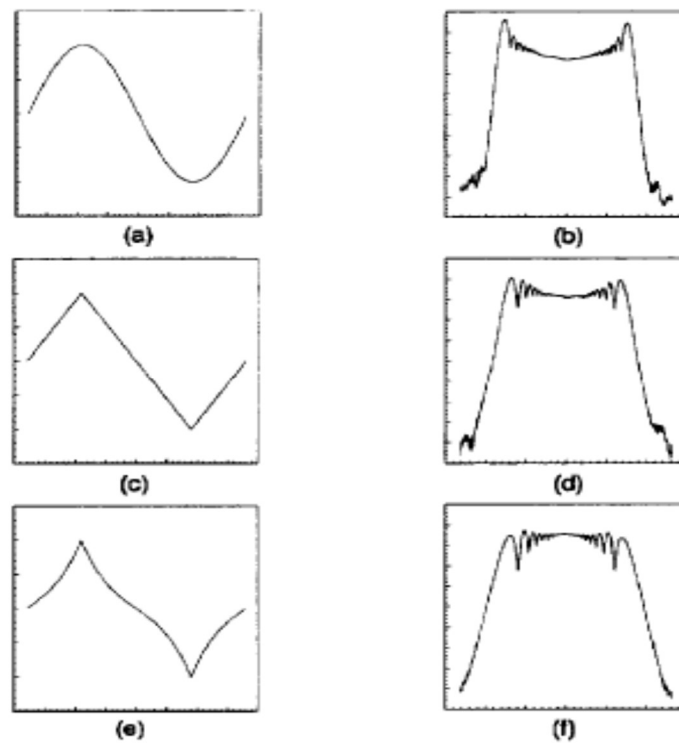


Figura 3.1. Señal de modulación sinusoidal (a), espectro resultante (b), señal de modulación triangular (c), espectro resultante (d), señal de modulación Lexmark (e), espectro resultante (f) [11]

Lexmark International muestra en [8] los resultados obtenidos al aplicar un perfil de modulación determinado empíricamente a una señal de reloj. A pesar de que el análisis matemático y la forma de generar dicho perfil es incierta, está demostrado que provee una atenuación óptima de los armónicos de la señal modulada en comparación con los perfiles sinusoidal y triangular. La forma de onda Lexmark, figura 3.1(e), genera una atenuación uniforme en su espectro correspondiente, figura 3.1(f), incrementando la derivada en los máximos de la señal y disminuyéndola en sus cruces por cero.

El presente capítulo propone una nueva arquitectura para la generación de la forma de onda Lexmark en tiempo continuo utilizando bloques tales como osciladores y procesamiento analógico en modo de corriente.

3.2. FUNDAMENTACIÓN TEÓRICA

Mediante el uso de herramientas de análisis numérico como Maple y Matlab se simuló la modulación de una señal de reloj con una frecuencia f_c utilizando perfiles de modulación sinusoidal, figura 3.2(a) y triangular, figura 3.2(c), ambos con una frecuencia f_m y amplitud V_m . Al aplicar la transformada discreta de Fourier (DFT) a las señales de reloj moduladas, se obtuvo el espectro característico producido por el perfil utilizado. El espectro al 5° y 7° armónico de las señales de reloj moduladas se presentan en las figuras 3.2 (b) y 3.2 (d).

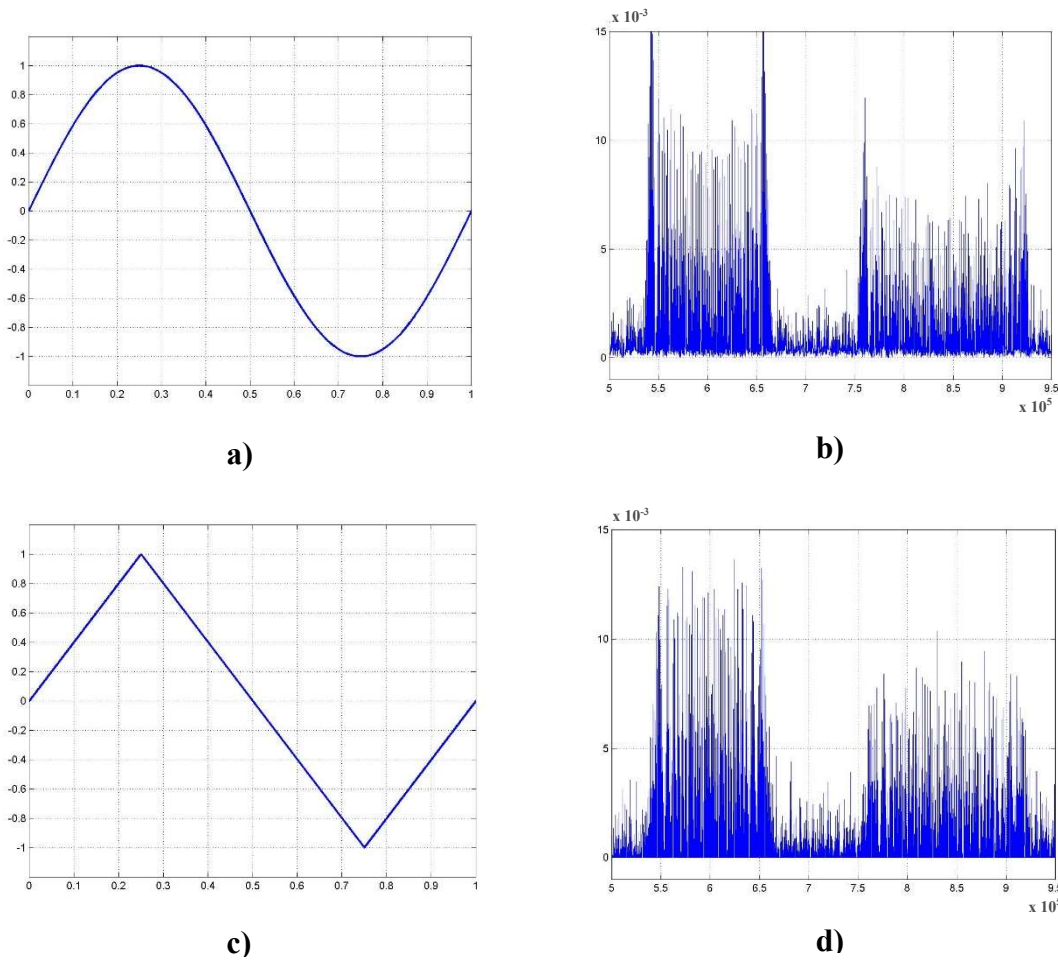


Figura 3.2. Perfil de modulación sinusoidal (a), espectro resultante (b), perfil de modulación triangular (c), espectro resultante (d)

Con base en los resultados obtenidos es posible pensar que la forma de onda Lexmark $\Lambda(t)$ puede ser generada a partir de la combinación lineal de n funciones continuas de primer orden

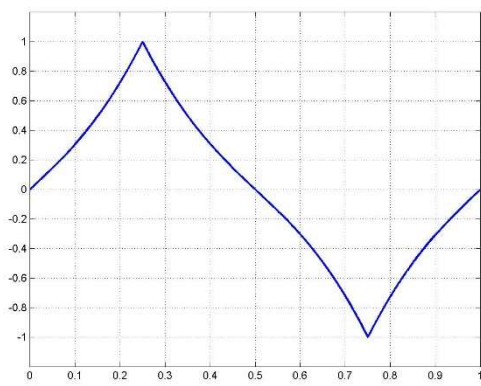
GENERADOR DE RELOJ CON MODULACIÓN DE ESPECTRO DISPERSO

(ecuación. 3.1). De esta forma, se podría contar con una señal de modulación periódica $\Gamma(t)$ capaz de modular la señal de reloj con un perfil característico que proveerá al sistema SSCG con una atenuación óptima de emisiones EMI.

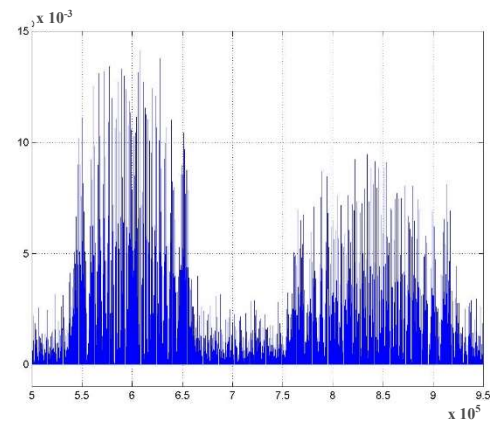
$$\Gamma(t) = a_0 + a_1 f_1(t) + a_2 f_2(t) + \dots + a_n f_n(t) \quad (3.1)$$

Para comprobar la hipótesis anterior, se moduló la señal de reloj de frecuencia f_c con un perfil de modulación obtenido con la combinación de funciones de primer orden, figura 3.3(a) y con el perfil descrito con la ecuación presente en [9], figura 3.3(c). Los valores f_m y V_m para ambos casos fueron iguales a los utilizados en los ejemplos de las señales sinusoidal y triangular. Los resultados se presentan en las figuras 3.3 (b) y 3.3 (d). De las gráficas se concluye que el espectro obtenido utilizando la señal de modulación presentada por Lexmark es muy similar al espectro generado utilizando la función expuesta en este trabajo, con la diferencia que nuestra señal de modulación $\Gamma(t)$ ha sido obtenida a través de un exhaustivo y riguroso análisis matemático, el cual no se presenta en este trabajo debido a acuerdos de confidencialidad con la compañía Freescale Semiconductor México.

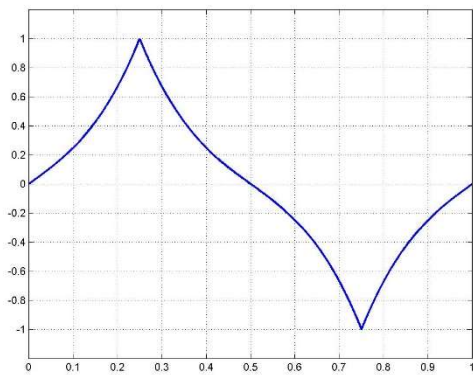
GENERADOR DE RELOJ CON MODULACIÓN DE ESPECTRO DISPERSO



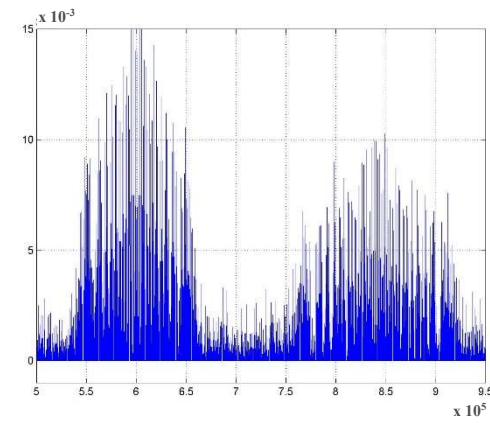
a)



b)



c)



d)

Figura 3.3. Perfil de modulación de este trabajo $\Gamma(t)$ (a), espectro resultante (b), perfil de modulación Lexmark $\Lambda(t)$ (c), espectro resultante (d)

3.3. DISEÑO DEL MODULADOR

El diseño del modulador de espectro disperso implica la generación de señales periódicas con la amplitud y fase adecuadas. Con el propósito de unir de forma sencilla el bloque modulador con el VCO diseñado en el Capítulo 2, la combinación de las señales se realizará bajo el esquema de modo de corriente. De esta forma será posible modular la frecuencia de la señal de reloj modificando la corriente de polarización en una de las ramas internas del VCO.

El diagrama a bloques del generador de la señal de modulación se presenta en la figura 3.4. El objetivo principal es generar la forma de onda característica $\Gamma(t)$ empleando cuatro celdas de procesamiento analógico (oscilador, filtro y dos bloques transconductores). El oscilador de relajación genera una señal periódica con una frecuencia de 33KHz en su nodo de salida; posteriormente el bloque transconductor convierte dicha señal de voltaje en una señal de corriente mediante un factor g_{m1} . El filtro en modo de corriente extrae la frecuencia fundamental de la señal de corriente proveniente del bloque anterior y genera una señal de voltaje en su nodo de salida. Finalmente el bloque de suma formado por los transconductores g_{m2} y g_{m3} convierte las señales de voltaje presentes en los nodos de salida del oscilador y del filtro en señales de corriente y realiza la suma de ambas para generar la forma de onda deseada. El diseño e interconexión de los bloques se explica a detalle en las secciones subsecuentes.

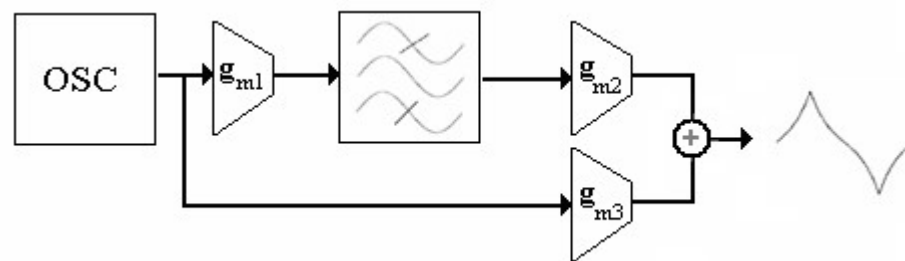


Figura 3.4. Diagrama a bloques del modulador de espectro disperso

3.3.1. Oscilador de Relajación

El principio de operación de este oscilador se basa en el diagrama de la figura 3.5, el cual consiste en un integrador y un comparador biestable [10]. Durante el intervalo $0 \leq t < T_1$ se integra el

GENERADOR DE RELOJ CON MODULACIÓN DE ESPECTRO DISPERSO

nivel N_+ proveniente del comparador. Definiendo K como la constante de integración, el valor del voltaje en el nodo V_T en el instante $t = T_1$ esta dado por:

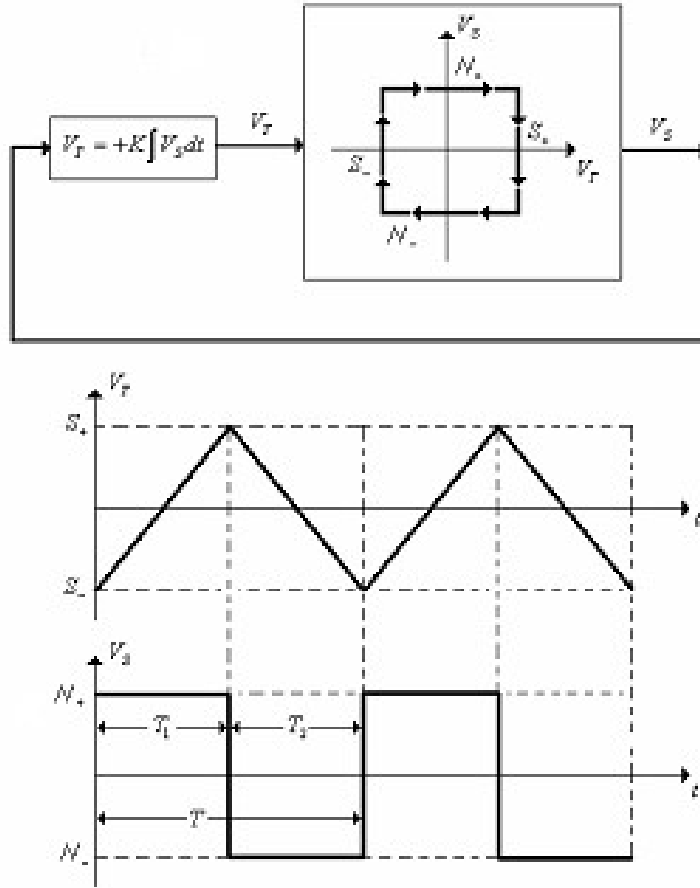


Figura 3.5. Oscilador de relajación y formas de onda resultantes

$$V_T(T_1) = S_- + K \int_0^{T_1} N_+ dt = S_- + KN_+ T_1 = S_+ \quad (3.2)$$

De la ecuación 3.2 el tiempo T_1 esta determinado por la siguiente ecuación:

$$T_1 = \frac{S_+ - S_-}{KN_+} \quad (3.3)$$

Con el mismo principio, se resuelve para $V_T(T_2)$ y se obtiene el valor de T_2 :

GENERADOR DE RELOJ CON MODULACIÓN DE ESPECTRO DISPERSO

$$V_T(T_2) = V_T(T_1) + K \int_{T_1}^{T_2} N_- dt = S_+ + KN_- T_2 = S_- \quad (3.4)$$

$$T_2 = \frac{S_- - S_+}{KN_-} \quad (3.5)$$

La suma de T_1 y T_2 es igual al periodo de las señales en la figura 3.5 y esta dado por:

$$T = \frac{1}{f} = T_1 + T_2 = \left[\frac{S_+ - S_-}{K} \right] \left[\frac{1}{N_+} - \frac{1}{N_-} \right] \quad (3.6)$$

$$\text{Si } N_+ = -N_- = N \text{ y } S_+ = -S_- = S$$

$$T = \frac{4S}{KN} \quad (3.7)$$

El esquemático del oscilador se muestra en la figura 3.6 [10] [11].

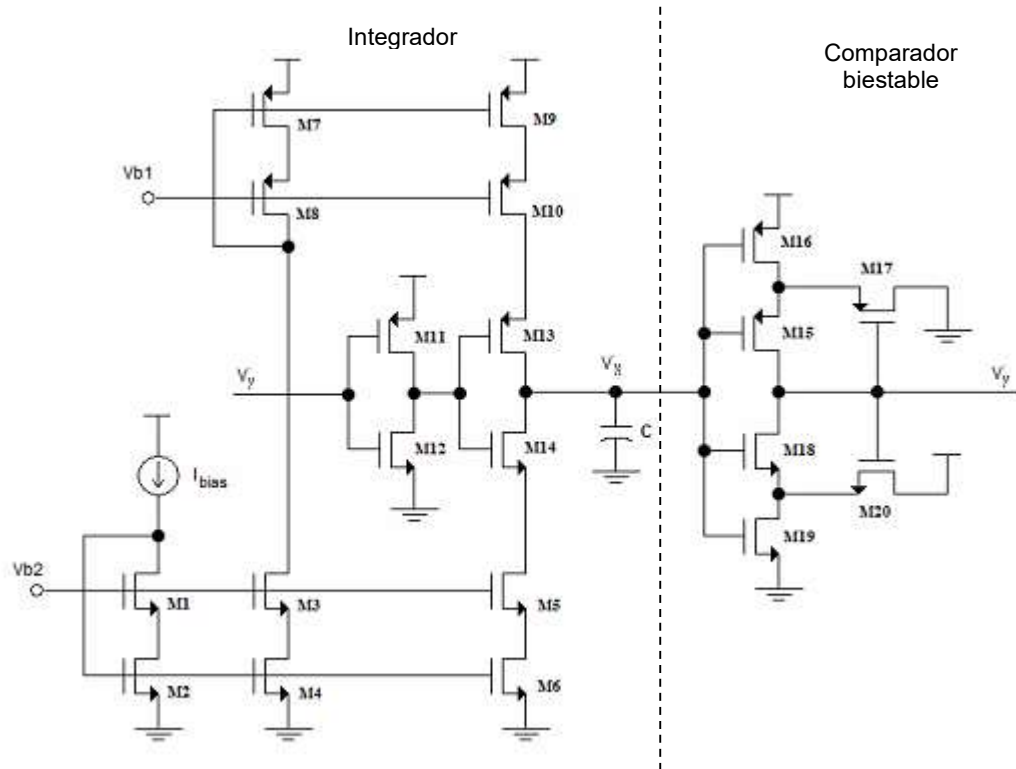


Figura 3.6. Esquemático del oscilador de relajación

GENERADOR DE RELOJ CON MODULACIÓN DE ESPECTRO DISPERSO

Los transistores M1 – M14 junto con el capacitor C forman el integrador de la figura 3.5, mientras que los transistores M15 – M20 forman el comparador biestable. Dicho comparador tiene dos estados de salida estables y presenta un comportamiento de histéresis cuando se presenta una transición entre los dos estados. La topología del comparador tiene una excursión en el nodo de salida V_y de 0 – 5V (0 – V_{DD}). Con el propósito de maximizar la ganancia del integrador y disminuir así la capacitancia requerida, se determina un rango de histéresis y por lo tanto la excursión de la señal en el nodo V_x desde 1.5V hasta 3.5V. Con las especificaciones anteriores y tomando en cuenta que las señales V_y y V_x tienen un voltaje de modo común de 2.5V, se obtienen los valores de $N = 2.5V$ y $S = 1V$. De la ecuación 3.7, la ganancia requerida en el integrador para una frecuencia de 33.33KHz esta dada por:

$$K = \frac{4S}{TN} = \frac{4(1V)}{(30\mu s)(2.5V)} = 53,333s^{-1} \quad (3.8)$$

Por otro lado, el integrador se basa en una topología de bomba de carga controlada por una sola señal como la mostrada en la figura 3.7.

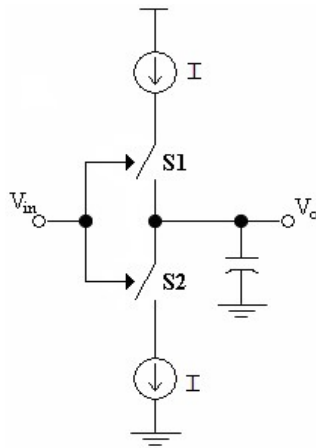


Figura 3.7. Integrador bomba de carga

Los transistores M11 – M14 forman los interruptores S_1 y S_2 . Los transistores M1 – M6 forman la fuente de corriente en la parte inferior del interruptor S_2 y los transistores M7 – M10 forman la fuente de corriente en la parte superior del interruptor S_1 . Si ambas fuentes de corriente tienen el mismo valor, la ganancia del integrador esta dada por:

GENERADOR DE RELOJ CON MODULACIÓN DE ESPECTRO DISPERSO

$$K = \frac{I}{CN} \quad (3.9)$$

Siendo N el voltaje de activación de los interruptores. En el esquemático de la figura 3.6, se puede ver que el voltaje de activación del transistor M13 (N_{13}) es igual al voltaje de activación del transistor M14 (N_{14}) siempre y cuando la excursión de la señal V_y sea de riel a riel y $V_{TP} = V_{TN}$. Dado que la condición anterior se cumple por la topología seleccionada para el comparador se tiene:

$$N_{14} = -N_{13} = N = 2.5V \quad (3.10)$$

Con las ecuaciones 3.8, 3.9 y 3.10, para una corriente de 1uA, el valor de capacitor necesario para cumplir con el valor de ganancia K del integrador esta dado por:

$$C = \frac{I}{KN} = \frac{1\mu A}{(53333s^{-1})(2.5V)} = 7.5pF \quad (3.11)$$

Los transistores M11 y M12 agregan una etapa de inversión extra en el camino de la señal de forma que el integrador sea una etapa no inversora como lo indica el diagrama de la figura 3.5. El dimensionamiento de los transistores M13 y M14 se realizó de tal forma que la resistencia de encendido de los interruptores no ideales fuera menor a 500Ω con el fin de disminuir pérdidas de voltaje en la excursión del nodo V_x . Considerando fuentes de corriente ideales se puede asumir que el voltaje en la fuente del transistor M14 es 0V mientras que en la fuente del transistor M13 es 5V, por lo tanto:

$$\left(\frac{W}{L}\right)_{12,14} = \frac{1}{\mu_n C_{ox} (V_{GS} - V_{TH}) R_{on}} = \frac{1}{\left(113.2\frac{\mu A}{V^2}\right)(5V - 0.76V)(500\Omega)} = 4.17 \quad (3.12)$$

$$\left(\frac{W}{L}\right)_{11,13} = \frac{1}{\mu_p C_{ox} (V_{SG} + V_{TH}) R_{on}} = \frac{1}{\left(37.8\frac{\mu A}{V^2}\right)(5V - 0.93V)(500\Omega)} = 13.0 \quad (3.13)$$

Las fuentes de corriente empleadas en el oscilador son fuentes cascode de amplia excursión. Su característica principal es que el voltaje en el nodo de salida puede disminuir hasta la suma de los

GENERADOR DE RELOJ CON MODULACIÓN DE ESPECTRO DISPERSO

voltajes V_{DSAT} de los dos transistores en la rama de salida. Las dimensiones de los transistores M1, M3 y M5 se seleccionaron para un V_{DSAT} de 350mV con una corriente de polarización de 1uA; mientras que las dimensiones de los transistores M2, M4 y M6 se calcularon despreciando el efecto de cuerpo y considerando un V_{DSAT} de 180mV. De esta forma, el voltaje mínimo en el drenador del transistor M5 para mantener la fuente en saturación es 0.530V, lo cual es satisface la excursión de voltaje en el nodo V_X .

$$\left(\frac{W}{L}\right)_{1,3,5} = \frac{I_D}{\frac{1}{2}\mu_n C_{ox} (V_{Dsat})^2} = \frac{1\mu A}{\left(56.6\frac{\mu A}{V^2}\right)(0.350V)^2} = 0.144 \quad (3.14)$$

$$\left(\frac{W}{L}\right)_{2,4,6} = \frac{I_D}{\frac{1}{2}\mu_n C_{ox} (V_{Dsat})^2} = \frac{1\mu A}{\left(56.6\frac{\mu A}{V^2}\right)(0.180V)^2} = 0.545 \quad (3.15)$$

El dimensionamiento de las fuentes de corriente con transistores PMOS se realizó de forma similar. Para los transistores M7 y M9 se determinó un V_{DSAT} de 300mV, mientras para los transistores M8 y M10 fue de 650mV. De esta forma, el voltaje máximo en el drenador del transistor M10 para mantener la fuente en saturación es $5V - 0.950mV = 4.05V$, cumpliendo de nuevo con la excursión de voltaje en el nodo V_X .

$$\left(\frac{W}{L}\right)_{7,9} = \frac{I_D}{\frac{1}{2}\mu_p C_{ox} (V_{Dsat})^2} = \frac{1\mu A}{\left(18.9\frac{\mu A}{V^2}\right)(0.300V)^2} = 0.588 \quad (3.16)$$

$$\left(\frac{W}{L}\right)_{8,10} = \frac{I_D}{\frac{1}{2}\mu_p C_{ox} (V_{Dsat})^2} = \frac{1\mu A}{\left(18.9\frac{\mu A}{V^2}\right)(0.650V)^2} = 0.125 \quad (3.17)$$

El comparador biestable [11] se diseña para un rango simétrico de histéresis de 2V alrededor de $V_{DD}/2$. Despreciando el efecto de cuerpo, la relación entre el transistor de retroalimentación M20 y el transistor M19 esta dada por:

$$\frac{\left(\frac{W}{L}\right)_{19}}{\left(\frac{W}{L}\right)_{20}} = \left(\frac{V_{DD} - S^+}{S^+ - V_{th}}\right)^2 = \left(\frac{5V - 3.5V}{3.5V - 0.76V}\right)^2 = 0.30 \quad (3.18)$$

GENERADOR DE RELOJ CON MODULACIÓN DE ESPECTRO DISPERSO

De igual forma, la relación entre el transistor M17 y el transistor M16 está dada por:

$$\left(\frac{W/L}{W/L}\right)_{16} = \left(\frac{S^-}{V_{DD} - |V_{th}| - S^-}\right)^2 = \left(\frac{1.5V}{5V - 0.93V - 1.5V}\right)^2 = 0.34 \quad (3.19)$$

La tabla 3.1 muestra las relaciones de aspecto de los transistores en el oscilador, los voltajes de polarización V_{b1} y V_{b2} , el valor del capacitor C y la corriente de polarización I_{bias} utilizados en el diseño final del circuito:

Componente	Valor	Componente	Valor	Componente	Valor
M1	1 μm / 6 μm	M9	4 μm / 6 μm	M17	7 μm / 1 μm
M2	4 μm / 6 μm	M10	1 μm / 6 μm	M18	3 μm / 1 μm
M3	1 μm / 6 μm	M11	9 μm / 0.5 μm	M19	4 μm / 1 μm
M4	4 μm / 6 μm	M12	3 μm / 0.5 μm	M20	8 μm / 1 μm
M5	1 μm / 6 μm	M13	9 μm / 0.5 μm	V_{b1}	2.7V
M6	4 μm / 6 μm	M14	3 μm / 0.5 μm	V_{b2}	2V
M7	4 μm / 6 μm	M15	3 μm / 1 μm	C	7.2pF
M8	1 μm / 6 μm	M16	5 μm / 1 μm	I_{bias} (oscilador)	1 μA

Tabla 3.1. Componentes del oscilador de relajación

La figura 3.8 muestra las formas de onda de los nodos V_y y V_x . La frecuencia medida fue de 32.96KHz. La excursión de voltaje de la señal V_y fue de riel a riel, mientras que la excursión de la señal V_x fue de 3.52V a 1.45V.

GENERADOR DE RELOJ CON MODULACIÓN DE ESPECTRO DISPERSO

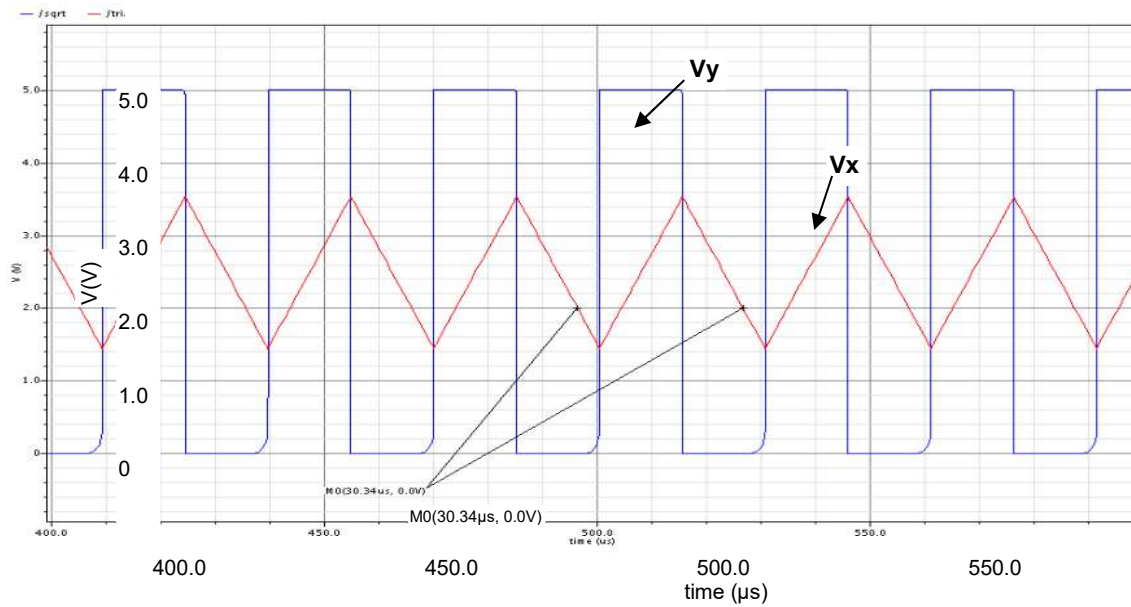


Figura 3.8. Formas de onda generadas con el oscilador de relajación

3.3.2. Filtro pasa banda

La topología seleccionada para el filtro pasa banda fue la de un filtro analógico de segundo orden en modo de corriente [12] [13]. Los requisitos de diseño son una frecuencia central de 33KHz y un factor de calidad $Q = 8$. Su esquemático se muestra en la figura 3.9.

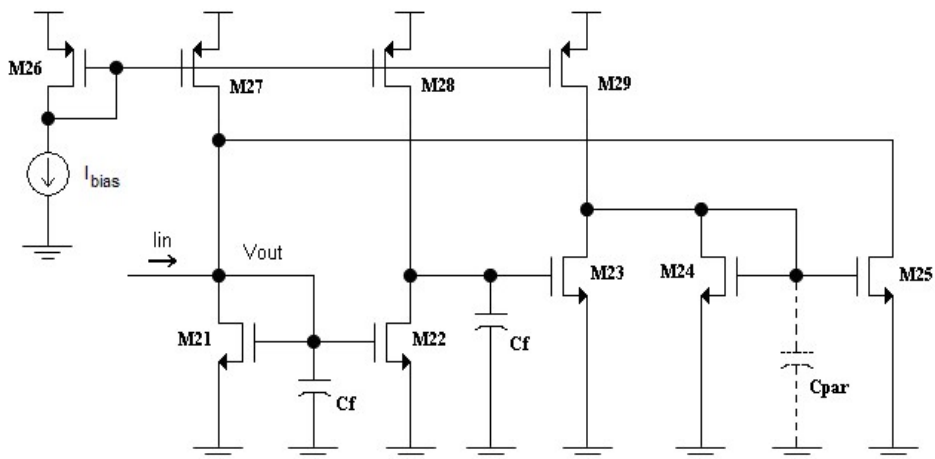


Figura 3.9. Esquemático filtro pasa banda en modo de corriente

GENERADOR DE RELOJ CON MODULACIÓN DE ESPECTRO DISPERSO

La función de transferencia $H(s)$ esta dada por la relación entre el voltaje en el nodo V_{out} y la corriente de entrada I_{in} . Al realizar el análisis de señal pequeña del circuito se obtiene:

$$H(s) = \frac{V_{out}(s)}{I_{in}(s)} = \frac{\left(\frac{1}{C_f}\right)s^2 + \left(\frac{g_{m24}}{C_f C_{par}}\right)s}{s^3 + \left(\frac{g_{m21}}{C_f} + \frac{g_{m24}}{C_{par}}\right)s^2 + \left(\frac{g_{m21}g_{m24}}{C_f C_{par}}\right)s + \left(\frac{g_{m22}g_{m23}g_{m25}}{C_{par} C_f^2}\right)} \quad (3.20)$$

Donde se observa que la presencia del capacitor parásito C_{par} degrada la respuesta del filtro de segundo orden. Despreciando el efecto del polo $\frac{g_{m24}}{C_{par}}$ asociado a dicho nodo, la respuesta del filtro se simplifica de la siguiente forma:

$$H(s) = \frac{V_{out}(s)}{I_{in}(s)} = \frac{\left(\frac{1}{C_f}\right)s}{s^2 + \left(\frac{g_{m21}}{C_f}\right)s + \left(\frac{g_{m22}g_{m23}g_{m25}}{g_{m24} C_f^2}\right)} \quad (3.21)$$

Si $g_{m22} = g_{m23} = g_{m24} = g_{m25} = g_m$, la función de transferencia se simplifica:

$$H(s) = \frac{V_{out}(s)}{I_{in}(s)} = \frac{\left(\frac{1}{C_f}\right)s}{s^2 + \left(\frac{g_{m21}}{C_f}\right)s + \left(\frac{g_m}{C_f}\right)^2} \quad (3.22)$$

De esta forma al comparar la ecuación 3.22 con la función de transferencia bicuadrática de un filtro pasa banda el análisis del filtro se simplifica y se obtienen las siguientes ecuaciones de diseño:

GENERADOR DE RELOJ CON MODULACIÓN DE ESPECTRO DISPERSO

$$\frac{\omega_o}{Q} = \frac{g_{m21}}{C_f} \quad (3.23)$$

$$\omega_o = \frac{g_m}{C_f} \quad (3.24)$$

$$Q = \frac{g_m}{g_{m21}} = \frac{W_{22-25}}{W_{21}} \quad (3.25)$$

Para un voltaje de $V_{DD}/2$ en el drenador y la compuerta de todos los transistores NMOS y una transconductancia g_m de $10\mu A/V$ tenemos:

$$I_{D22-25} = \frac{g_m(V_{GS} - V_{TH})}{2} = \frac{\left(10\frac{\mu A}{V}\right)(2.5V - 0.76V)}{2} = 8.7\mu A \quad (3.26)$$

Con lo cual, las relaciones de aspecto de M22, M23, M24 y M25 están dadas por:

$$\left(\frac{W}{L}\right)_{22-25} = \frac{g_m^2}{2\mu_n C_{ox} I_D} = \frac{\left(10\frac{\mu A}{V}\right)^2}{2\left(113.2\frac{\mu A}{V^2}\right)8.7\mu A} = 0.05 \quad (3.27)$$

Para un factor de calidad $Q = 8$, se requiere una $g_{m21} = 1.25\mu A/V$. Por lo tanto la relación de aspecto del transistor M21 esta definida como:

$$\left(\frac{W}{L}\right)_{21} = \frac{1}{8} \left(\frac{W}{L}\right)_{22-25} = 6.25E-3 \quad (3.28)$$

Las fuentes de corriente PMOS (M26 – M29) se diseñan para un V_{DSAT} de 400mV. En el caso de M28 su relación de aspecto se determina con la corriente de polarización calculada en la ecuación 3.26:

$$\left(\frac{W}{L}\right)_{28} = \frac{I_{D28}}{\frac{1}{2}\mu_p C_{ox} (V_{Dsat})^2} = \frac{8.7\mu A}{\left(18.9\frac{\mu A}{V^2}\right)(0.400V)^2} = 2.87 \quad (3.29)$$

GENERADOR DE RELOJ CON MODULACIÓN DE ESPECTRO DISPERSO

Para el resto de los transistores PMOS, sus relaciones de aspecto se escalan respecto a la de M28 de acuerdo a la corriente de polarización que circula por cada uno de ellos:

$$\frac{\left(\frac{W}{L}\right)_{27}}{\left(\frac{W}{L}\right)_{28}} = \frac{I_{D27}}{I_{D28}} = \frac{I_{D21} + I_{D25}}{I_{D22}} = \frac{9.57\mu A}{8.7\mu A} = 1.1 \quad (3.30)$$

$$\frac{\left(\frac{W}{L}\right)_{29}}{\left(\frac{W}{L}\right)_{28}} = \frac{I_{D29}}{I_{D28}} = \frac{I_{D23} + I_{D24}}{I_{D22}} = \frac{17.4\mu A}{8.7\mu A} = 2 \quad (3.31)$$

$$\frac{\left(\frac{W}{L}\right)_{26}}{\left(\frac{W}{L}\right)_{28}} = \frac{I_{D26}}{I_{D28}} = \frac{8.7\mu A}{8.7\mu A} = 1 \quad (3.32)$$

Finalmente el valor del capacitor se calcula a partir de la ecuación 3.24:

$$C_f = \frac{g_m}{\omega_o} = \frac{10\mu A/V^2}{2\pi(33kHz)} = 48.23pF \quad (3.33)$$

La ubicación del polo asociado a la capacitancia parásita C_{par} esta en función de las relaciones de aspecto de M24 y M25 principalmente, su valor se calcula como sigue:

$$f_{par} = \frac{g_{m24}}{2\pi C_{par}} = \frac{g_{m24}}{2\pi(2C_{GS24})} = \frac{g_{m24}}{2\pi\left(\frac{4}{3}W_{24}L_{24}C_{ox}\right)} = \frac{3\left(10\mu A/V^2\right)}{8\pi(5\mu m)(60\mu m)\left(2.56fF/\mu m^2\right)} = 6.22MHz \quad (3.34)$$

Lo cual reafirma la suposición de despreciar su efecto en la función de transferencia del filtro al ubicarse 2 órdenes de magnitud por arriba de la frecuencia de interés.

GENERADOR DE RELOJ CON MODULACIÓN DE ESPECTRO DISPERSO

Para la tecnología AMIS CMOS de 0.5μm, el capacitor C_f de poly1 a poly2 ocuparía un área de 0.05mm². Para reducir su tamaño se emplea la técnica de escalamiento de impedancias expuesta en [14] [15]. Para un capacitor la multiplicación de su admitancia es directamente proporcional a su corriente de entrada, por lo tanto el uso de un amplificador de corriente dentro de una estructura puede multiplicar el valor de la capacitancia efectiva. Un ejemplo de esto se muestra en la figura 3.10.

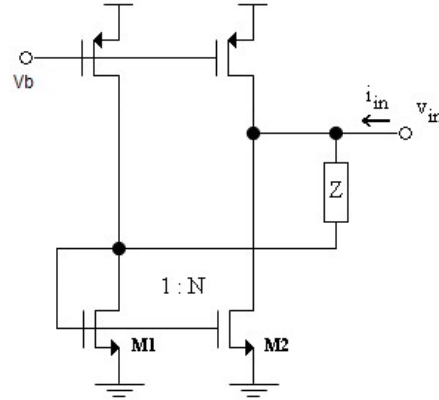


Figura 3.10. Escalador de impedancias basado en un amplificador de corriente

Despreciando las resistencias de salida de los transistores, la relación entre las señales de señal pequeña i_{in} y v_{in} esta dada por:

$$i_i = v_i \left(\frac{g_{m1}}{1 + Zg_{m1}} + \frac{g_{m2}}{1 + Zg_{m1}} \right) \quad (3.35)$$

$$\frac{v_i}{i_i} = \frac{Zg_{m1} + 1}{g_{m1} + g_{m2}} \quad (3.36)$$

Tomando en cuenta que $g_{m2} = Ng_{m1}$:

$$\frac{v_i}{i_i} = \frac{Zg_{m1} + 1}{g_{m1}(N + 1)} \quad (3.37)$$

Para una transconductancia g_{m1} lo suficientemente grande, se puede considerar que $Zg_{m1} \gg 1$ y por lo tanto:

GENERADOR DE RELOJ CON MODULACIÓN DE ESPECTRO DISPERSO

$$\frac{v_i}{i_i} = \frac{Z}{(N+1)} \quad (3.38)$$

Con el fin de minimizar las corrientes de fuga en el nodo X, la realización del escalador de impedancias requiere fuentes cascode con longitudes de canal grandes. La figura 3.11 muestra el esquemático de la estructura.

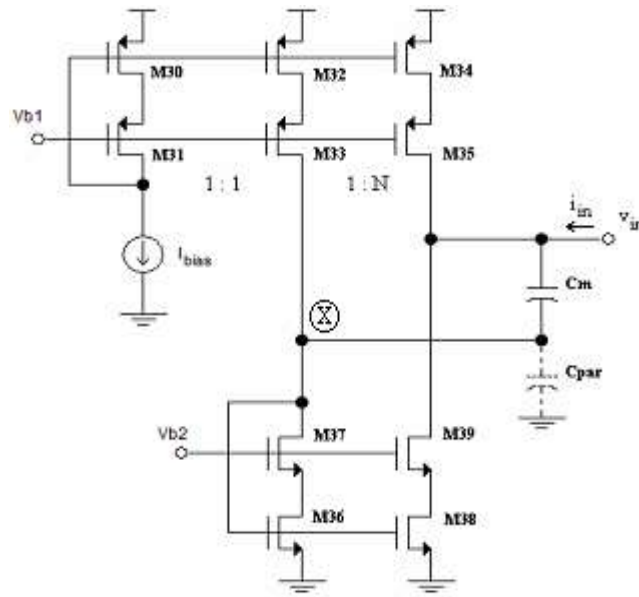


Figura 3.11. Esquemático escalador de impedancias

La admitancia de señal pequeña equivalente vista en el nodo de entrada esta dada por:

$$y_{in} = \frac{i_{in}}{v_{in}} = \left(\frac{g_{m39}g_{d35}g_{d34} + g_{m35}g_{d39}g_{d38}}{g_{m35}g_{m39}} \right) + s \left[(N+1)C_m \frac{1 + s \frac{C_{par}}{(N+1)g_{m36}}}{1 + s \frac{C_m + C_{par}}{g_{m36}}} \right] \quad (3.39)$$

Despreciando el capacitor parásito la ecuación se reduce a:

GENERADOR DE RELOJ CON MODULACIÓN DE ESPECTRO DISPERSO

$$y_{in} = \frac{i_{in}}{v_{in}} = g_o + s[(N+1)C_m] \quad (3.40)$$

La conductancia g_o en el nodo v_{in} es típicamente reducida para espejos de corriente cascode por lo que, de forma ideal, la estructura presenta un comportamiento multiplicativo de la capacitancia C_m por un factor $(N+1)$.

Para el diseño del escalador de impedancias a utilizar en el filtro, se eligió un factor de multiplicación $N = 36$. El diseño de las fuentes de corriente siguió un método similar a las fuentes del integrador (ecuaciones 3.16 – 3.19). El parámetro V_{DSAT} para los transistores M30, M32 y M34 se especificó como 470mV; para los transistores M31, M33, M35, M36 y M38 como 350mV y para los transistores M37 y M39 como 250mV. La corriente de polarización I_{bias} se fijó en 3μA. Las relaciones de aspecto de los transistores en el escalador están dadas por:

$$\left(\frac{W}{L}\right)_{30,32} = \frac{I_D}{\frac{1}{2}\mu_p C_{ox}(V_{Dsat})^2} = \frac{3\mu A}{\left(18.9\frac{\mu A}{V^2}\right)(0.470V)^2} = 0.718 \quad (3.41)$$

$$\left(\frac{W}{L}\right)_{31,33} = \frac{I_D}{\frac{1}{2}\mu_p C_{ox}(V_{Dsat})^2} = \frac{3\mu A}{\left(18.9\frac{\mu A}{V^2}\right)(0.350V)^2} = 1.296 \quad (3.42)$$

$$\left(\frac{W}{L}\right)_{36} = \frac{I_D}{\frac{1}{2}\mu_n C_{ox}(V_{Dsat})^2} = \frac{3\mu A}{\left(56.6\frac{\mu A}{V^2}\right)(0.350V)^2} = 0.433 \quad (3.43)$$

$$\left(\frac{W}{L}\right)_{37} = \frac{I_D}{\frac{1}{2}\mu_n C_{ox}(V_{Dsat})^2} = \frac{3\mu A}{\left(56.6\frac{\mu A}{V^2}\right)(0.250V)^2} = 0.848 \quad (3.44)$$

$$\frac{\left(\frac{W}{L}\right)_{39}}{\left(\frac{W}{L}\right)_{37}} = \frac{\left(\frac{W}{L}\right)_{38}}{\left(\frac{W}{L}\right)_{36}} = \frac{\left(\frac{W}{L}\right)_{35}}{\left(\frac{W}{L}\right)_{33}} = \frac{\left(\frac{W}{L}\right)_{34}}{\left(\frac{W}{L}\right)_{32}} = 36 \quad (3.45)$$

Finalmente el valor del capacitor C_m es calculado con el factor de multiplicación N y la ecuación 3.40:

GENERADOR DE RELOJ CON MODULACIÓN DE ESPECTRO DISPERSO

$$C_m = \frac{C_f}{N+1} = \frac{48.23 pF}{37} = 1.30 pF \quad (3.46)$$

Tomando en consideración la capacitancia parásita de la figura 3.10, el rango de frecuencias para el cual la ecuación 3.40 es válida está definido como $\omega_1 < \omega < \omega_2$, donde:

$$\omega_1 = \frac{g_o}{(N+1)C_m} \quad (3.47)$$

$$\omega_2 = \frac{g_{m36}}{(C_m + C_{par})} \quad (3.48)$$

Para una longitud de canal de $4\mu m$, los parámetros λ_n y λ_p tienen valores de $0.0165V^{-1}$ y $0.0191V^{-1}$ respectivamente. El cálculo de las frecuencias ω_1 y ω_2 implica determinar el valor de g_o , g_{m36} y C_{par} :

$$g_o = \left(\frac{g_{m39}g_{d35}g_{d34} + g_{m35}g_{d39}g_{d38}}{g_{m35}g_{m39}} \right) = 10.54E-9 mhos \quad (3.49)$$

$$g_{m36} = \frac{2I_D}{V_{Dsat}} = 17.14 \mu A / V^2 \quad (3.50)$$

$$C_{par} \approx C_{GS36} + C_{GS38} = \frac{2}{3} C_{ox} L(W_{36} + W_{38}) = \frac{2}{3} \left(2.56 fF / \mu m^2 \right) (4\mu m)(74\mu m) = 505.17 fF \quad (3.51)$$

Con las ecuaciones 3.47 – 3.51 se obtiene:

$$f_1 = \frac{g_o}{2\pi(N+1)C_m} = \frac{10.54E-9 mS}{2\pi(37)(1.34 pF)} = 1.35 Hz \quad (3.52)$$

$$f_2 = \frac{g_{m36}}{2\pi(C_m + C_{par})} = \frac{17.14 \mu A / V^2}{2\pi(1.34 pF + 0.505 pF)} = 1.478 MHz \quad (3.53)$$

Las ecuaciones 3.52 y 3.53 demuestran que la frecuencia de interés se encuentra dentro del rango de operación del circuito de la figura 3.11.

GENERADOR DE RELOJ CON MODULACIÓN DE ESPECTRO DISPERSO

Empleando un escalador de impedancias por cada capacitor C_f del esquemático de la figura 3.9, se obtiene la realización completa del filtro pasa banda. La tabla 3.2 muestra las relaciones de aspecto de los transistores empleados en la topología, los voltajes de polarización V_{b1} y V_{b2} , el valor de los capacitores C_m y las corrientes de polarización I_{bias} :

Componente	Valor	Componente	Valor	Componente	Valor
M21	1 μm / 60 μm	M29	39.5 μm / 6 μm	M37	4 μm / 4 μm
M22	5 μm / 60 μm	M30	3 μm / 4 μm	M38	72 μm / 4 μm
M23	5 μm / 60 μm	M31	6 μm / 4 μm	M39	144 μm / 4 μm
M24	5 μm / 60 μm	M32	3 μm / 4 μm	V_{b1}	2.7V
M25	5 μm / 60 μm	M33	6 μm / 4 μm	V_{b2}	2V
M26	20 μm / 6 μm	M34	108 μm / 4 μm	C_m	1.25pF
M27	24 μm / 6 μm	M35	216 μm / 4 μm	I_{bias} (filtro)	9.6 μA
M28	20 μm / 6 μm	M36	2 μm / 4 μm	I_{bias} (escalador)	3 μA

Tabla 3.2. Componentes del filtro pasabajas

La figura 3.12 muestra la respuesta en frecuencia del filtro diseñado, la frecuencia central fue de 33.296KHz con una ganancia de 115.7dB. El factor de calidad medido fue de $Q = 6$. La disminución en el factor de calidad se debe al uso de los escaladores de impedancia con factor de multiplicación de 36. Al reducir este factor y aumentar la transconductancia g_{m36} se obtienen mejores factores de calidad a expensas de un incremento en los capacitores C_m .

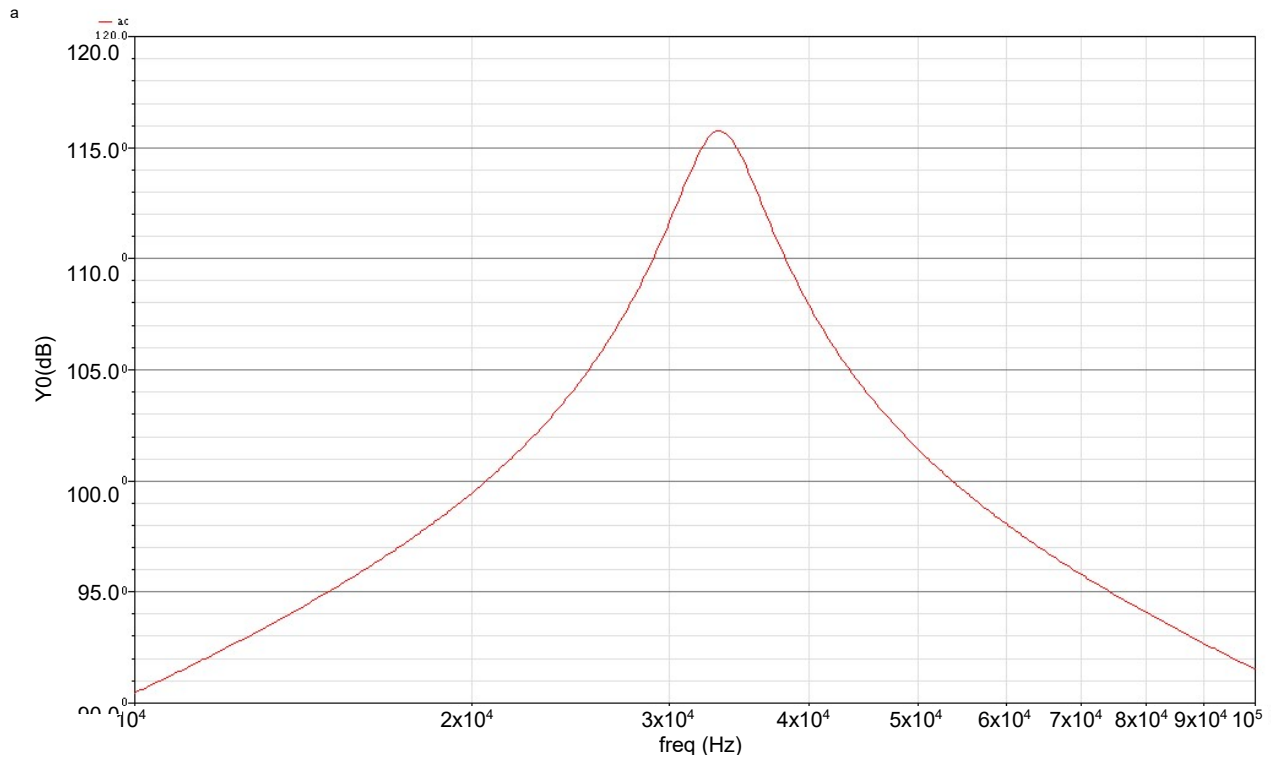


Figura 3.12. Respuesta en frecuencia del filtro pasa bandas

3.3.3. Bloque Transconductor gm1

El esquemático de este bloque se muestra en la figura 3.13. Se emplean dos etapas fuente común como atenuadores y un transistor M52 como transconductor. Con el fin de reducir la distorsión introducida en la conversión de voltaje a corriente y no requerir valores muy reducidos de transconductancia, la etapa de atenuación se diseña para obtener una amplitud pico a pico en el nodo V_z de 500mV. De esta forma, con un valor de transconductancia de 1uA/V en el transistor M52 se obtiene como salida una señal de corriente con una amplitud pico a pico de 500nA.

GENERADOR DE RELOJ CON MODULACIÓN DE ESPECTRO DISPERSO

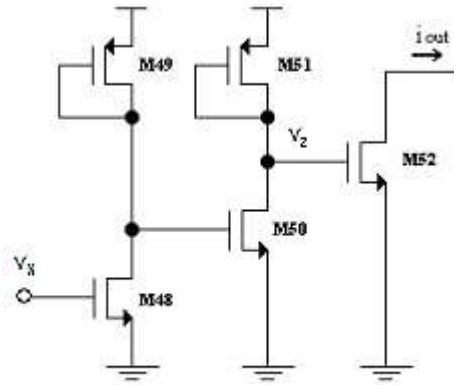


Figura 3.13. Esquemático bloque transconductor g_{m1}

Con una señal de entrada (nodo V_x) con amplitud pico a pico de 2V la ganancia total requerida es de 0.25. Diseñando ambas etapas fuente común idénticas, la ganancia en cada una de ellas esta dada por:

$$A_v = \frac{g_{m48}}{g_{m49}} = \frac{g_{m50}}{g_{m51}} = 0.5 \quad (3.54)$$

La terminal de salida se conecta directamente al nodo V_{out} de la figura 3.9. Debido a esto, la corriente de polarización del transistor M52 proviene directamente de la fuente de corriente M27, por lo que la relación de aspecto de éste último se incrementa lo necesario para no descompensar la polarización del filtro. La figura 3.14 muestra el voltaje en la compuerta y la corriente en el drenador del transistor M52, se observa una amplitud pico a pico en la señal de voltaje de 520mV y en la señal de corriente de 550nA.

GENERADOR DE RELOJ CON MODULACIÓN DE ESPECTRO DISPERSO

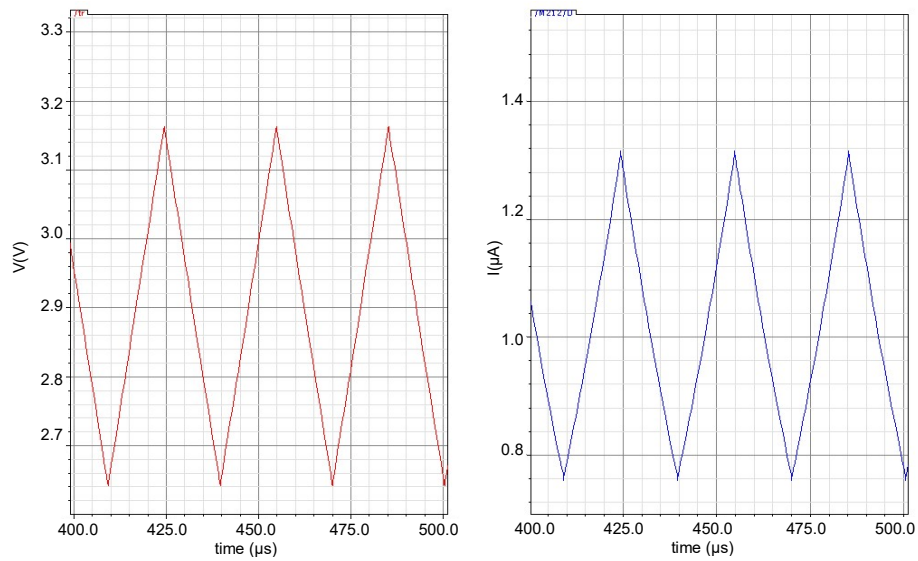


Figura 3.14. Señales de voltaje y corriente en el bloque transconductor g_{m1}

3.3.4. Bloques Transconductores g_{m2} y g_{m3}

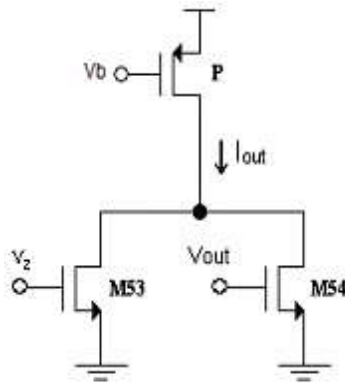


Figura 3.15. Circuito de los transconductores g_{m2} y g_{m3}

La suma de corrientes se realiza con dos transistores M53 y M54 como se muestra en el esquemático de la figura 3.15. Para efectos prácticos, su corriente de polarización la provee el transistor P como carga activa con un valor equivalente de $1M\Omega$. Con los valores de transconductancias adecuadas, la conversión de las señales de voltaje de los nodos V_z de la figura 3.13 y V_{out} de la figura 3.9 producen las corrientes necesarias para generar la forma de onda $\Gamma(t)$. La figura 3.16 muestra la corriente a través de la carga P.

GENERADOR DE RELOJ CON MODULACIÓN DE ESPECTRO DISPERSO

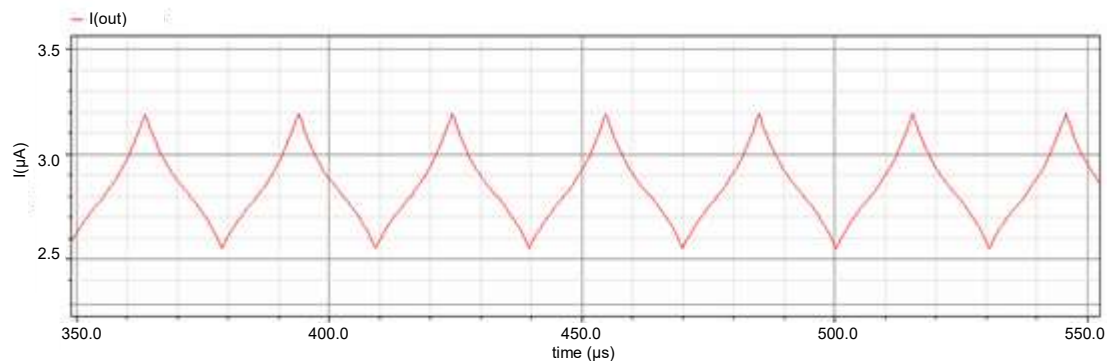


Figura 3.16. Forma de onda $\Gamma(t)$ en la corriente a través de la carga activa P.

La tabla 3.3 muestra las relaciones de aspecto de los transistores empleados en los bloques transconductores:

Componente	Valor	Componente	Valor
M48	2 μm / 6 μm	M52	1 μm / 80 μm
M49	16 μm / 6 μm	M53	1 μm / 45 μm
M50	2 μm / 6 μm	M54	1 μm / 60 μm
M51	16 μm / 6 μm		

Tabla 3.3. Componentes de los bloques transconductores

La forma de onda presenta resultados satisfactorios. Aunque los transistores M53 y M54 introducen distorsión en la conversión de voltaje a corriente, la suma de dichas señales con las amplitudes y fases adecuadas genera la forma de onda $\Gamma(t)$ en tiempo continuo.

3.4. ESQUEMA DE PRUEBA

La figura 3.17 muestra el esquema de prueba utilizado en la verificación del sistema de modulación de espectro disperso. Con excepción del modulador, el VCO y el punto de suma fueron sustituidos por su macromodelo escrito en código VerilogA. La primera prueba consistió en aplicar un voltaje de control constante al VCO para obtener a su salida una señal de reloj de 50MHz sin

GENERADOR DE RELOJ CON MODULACIÓN DE ESPECTRO DISPERSO

modulación. Posteriormente se agregó el perfil $\Gamma(t)$ a la señal de control empleando el circuito modulador antes diseñado así como un transresistor y un interruptor ideales con el fin de observar el efecto ocasionado por la modulación de espectro disperso.

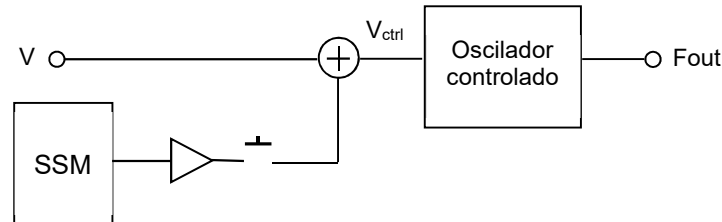


Figura 3.17. Esquema de prueba

El espectro en frecuencia de las señales de reloj obtenidas en ambos casos se muestra en la figura 3.18. Se observa como la técnica de modulación de espectro disperso atenúa la amplitud máxima en cada uno de los armónicos a expensas de un incremento en el ancho de banda ocasionado por la generación de componentes de banda lateral.

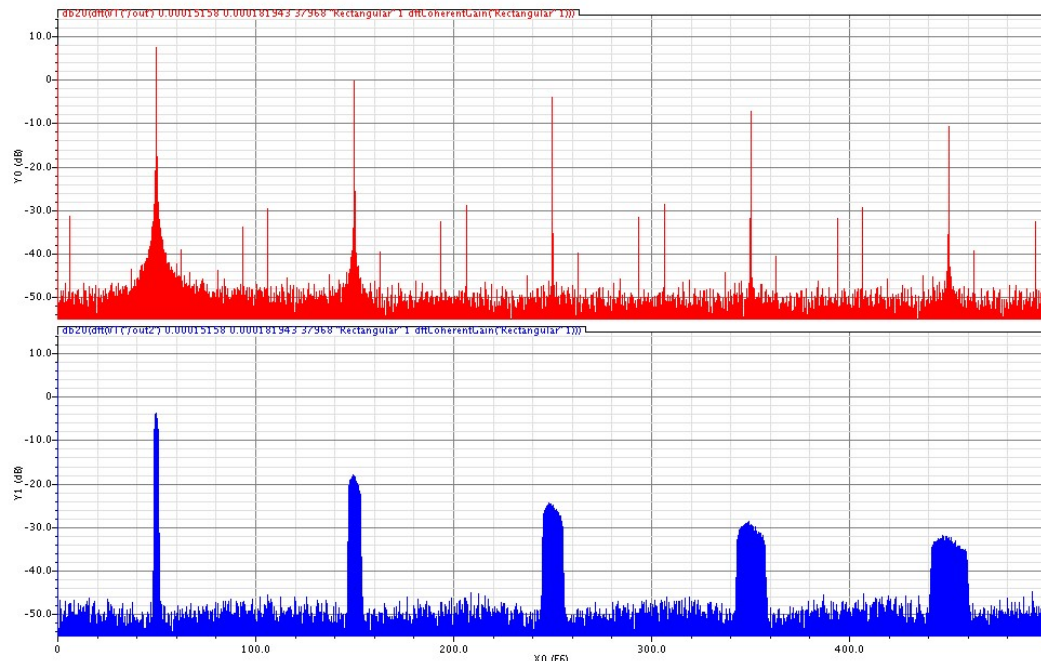


Figura 3.18. Espectro en frecuencia de señales de reloj sin y con modulación

La tabla 3.4 muestra una comparación entre los resultados obtenidos de la simulación anterior y el análisis matemático realizado en la Sección 3.2 utilizando Matlab. El ancho de banda de los

GENERADOR DE RELOJ CON MODULACIÓN DE ESPECTRO DISPERSO

componentes de banda lateral es una función lineal del número de armónico, mientras que la atenuación en la amplitud medida con respecto a una señal de reloj sin modulación presenta un comportamiento logarítmico conforme se incrementa la frecuencia [6].

Componente armónico	Matlab		SPICE	
	Ancho de banda (MHz)	Atenuación (dB)	Ancho de banda (MHz)	Atenuación (dB)
1 (50MHz)	2	13.1	2.01	11.20
3 (150MHz)	6	17.8	6.23	18.42
5 (250MHz)	10	19.8	10.27	20.49
7 (350MHz)	14	21.0	14.60	21.49

Tabla 3.4. Medidas características del sistema SSCG

Los resultados confirman la efectividad del bloque modulador presentado en este capítulo para reducir las emisiones EMI en señales de reloj. Con la inclusión de la forma de onda $\Gamma(t)$ en el punto de control de un PLL se puede contar con un sistema SSCG con niveles óptimos de interferencia electromagnética.

CONCLUSIONES

En el diseño del circuito detector de frecuencia y fase (PFD) y la bomba de carga se eligió una arquitectura robusta por las ventajas que ofrece respecto a una arquitectura básica; algunas de ellas son una mejor respuesta, menor corriente de fuga, reducción de la corriente estática, uso de retroalimentación positiva y re-uso de corriente. Para aprovechar los beneficios de dicha arquitectura de bomba de carga, es necesario que la corriente de salida sea lo más simétrica posible, lo cual implica una correcta selección del espejo de corriente a utilizar. En el presente trabajo se analizaron 3 espejos diferentes, los cuales proporcionan respuestas de corriente distintas y por lo tanto salidas diferentes. El espejo básico provee una corriente que varía con el voltaje de drenador a fuente del transistor; el espejo cascode tiene una respuesta más uniforme pero necesita más voltaje de drenador a fuente y por lo tanto limita el rango de operación de la bomba de carga; finalmente la configuración del espejo cascode de amplitud maximizada (Wide Swing Current Mirror “WSCM” por sus siglas en ingles) produce una salida de corriente más uniforme debido a que el voltaje de drenador a fuente necesario para su funcionamiento es más pequeño que en los casos anteriores. Debido a esto, el espejo WSCM fue la opción elegida para el diseño del PFD.

En el diseño de un oscilador, es posible ampliar bastante la respuesta lineal del sistema para un rango mayor a una década. Esto se logra básicamente si se tiene un esquema de polarización adecuado que presente una linealidad en la transconductancia en al menos dos décadas de operación. Si se desea mantener una amplitud constante, se debe mantener constante la ganancia de la celda, misma que depende directamente de la linealidad de la transconductancia del par diferencial respecto a la corriente y de la linealidad que presenta la carga de Mantis para los diferentes voltajes de control. Para obtener una señal sinusoidal a la salida de la celda, como es de suponerse, es disminuida la ganancia hasta el punto en el cual apenas ocurre la oscilación. Esto ocurre cuando el producto “GH” del sistema a lazo cerrado equivalente al circuito de 4 celdas de retardo tiene un valor igual al vector: “-1” o margen de ganancia y fase igual a 0 dB y 0° respectivamente.

El efecto de las capacitancias parásitas resulta decisivo si se desea obtener una frecuencia de oscilación elevada, ya que para lograr esto es necesario aumentar las dimensiones de la celda de

GENERADOR DE RELOJ CON MODULACIÓN DE ESPECTRO DISPERSO

retardo. El resultado es un aumento no lineal de la frecuencia máxima de oscilación respecto a las dimensiones de los componentes, la respuesta es exponencial con un valor de frecuencia maximizada.

Respecto a bajas frecuencias de trabajo, por tener un esquema de polarización a través de un sistema a lazo cerrado que basa su principio de operación en una igualación de corrientes, se logra la igualación de éstas en el orden de los nA, lo cual permite trabajar al oscilador para frecuencias incluso en el orden de los KHz. No obstante, se debe mencionar que la ganancia en este rango de frecuencias es muy diferente a la que se tiene para el rango normal de trabajo, es decir, aquí ya no existe linealidad en frecuencia. Además, el ruido pudiese afectar enormemente, ya que se estaría trabajando para corrientes en el orden de las corrientes parásitas de los transistores.

Se tienen excelentes resultados para las simulaciones en 27 esquinas, para todos los casos se mantiene una linealidad más o menos constante, aunque en alguno de los casos la frecuencia máxima de trabajo se ve reducida casi a la mitad.

El uso de técnicas de modulación de espectro disperso en generadores de señales de reloj disminuye los niveles de emisiones EMI en circuitos integrados. Aunque dicha técnica no es nueva, existe una variedad de propuestas de señales de modulación que consiguen disminuir las emisiones en distintas proporciones. La forma de onda Lexmark consigue dispersar la energía en el espectro de frecuencias de forma óptima para aplicaciones de señales de reloj. Se demostró que es posible generar dicha forma de onda a partir de la suma algebraica de funciones elementales. De esta forma es posible obtener una señal de modulación en tiempo continuo para su introducción en un sistema PLL con el fin de modular la frecuencia de la señal de reloj.

El diseño de filtros y osciladores de baja frecuencia implica el manejo de valores reducidos de transconductancias y valores elevados de capacitancias. Las frecuencias características de las topologías empleadas en este trabajo tienen la forma g_m/C lo que las hace susceptibles a perder la sintonización con mínimas variaciones en el sistema. Para compensar este problema se seleccionaron topologías versátiles en las cuales es posible variar la frecuencia de operación modificando la corriente de polarización de la estructura (filtro en modo de corriente).

GENERADOR DE RELOJ CON MODULACIÓN DE ESPECTRO DISPERSO

Con el fin de minimizar el espacio en área requerido para el circuito modulador, se implementaron técnicas de escalamiento de impedancias que emulan el comportamiento en señal pequeña de una capacitancia elevada utilizando componentes con valores reducidos. La desventaja de este tipo de estructuras al utilizarlas en el diseño de filtros activos es una pérdida en el factor de calidad de los mismos proporcional al factor de multiplicación en el escalamiento de la capacitancia.

En el charge pump se observó que aunque las corrientes de descarga fueron mejoradas, la corriente de carga permaneció igual durante el diseño. No se realizaron modificaciones a la salida Q7 del circuito, lo cual ocasiona ciertos inconvenientes como la falta de simetría entre la carga y descarga del nodo. Para igualar las corrientes lo que sigue es modificar la salida de Q7, por una arquitectura como la del Wscm, lo cual mejora el rango de voltaje a la salida y por lo tanto las corrientes de carga y descarga serán más simétricas.

En el PFD se vio que el diseño es una arquitectura que es realizada para los sintetizadores de frecuencia de reloj, la cual nos facilita a reducir compuertas lógicas que no son necesarias, para mejorar el funcionamiento y respuesta de este bloque, se podría usar flip flops (FF), hechos de inversores y compuertas de transmisión los cuales tienen una mejor respuesta, con lo que el PFD obtendrá una mayor velocidad en la respuesta y se reducirá la zona muerta.

Bajo el esquema de funcionamiento del VCO propuesto, se pretende llevar hasta fabricación en silicio, teniendo la necesidad de diseñar un búfer restaurador de nivel capaz de manejar una carga de 30 pF, dicho circuito debe amplificar cada una de las ocho señales para ser enviadas al exterior del chip, para así cerrar el lazo con la bomba de carga y formar así un enganchador de fase. Se pretende hacer pruebas individuales a este dispositivo para posteriores comparaciones de resultados finales con análisis teóricos.

Con el fin de reducir la distorsión en las señales generadas por el modulador, es necesario reemplazar los bloques transconductores por estructuras más complejas con retroalimentación negativa. Así mismo, es indispensable sustituir las corrientes y voltajes de polarización por circuitos de referencia que puedan ser integrados dentro del esquemático del modulador con el fin de evitar el uso de terminales externas para este propósito.

GENERADOR DE RELOJ CON MODULACIÓN DE ESPECTRO DISPERSO

Finalmente se requiere introducir la señal de modulación obtenida dentro del lazo cerrado del PLL sin afectar la estabilidad y función de transferencia del mismo de forma considerable. Como una primera aproximación se realizaron simulaciones enfocadas en añadir al voltaje de control del VCO un voltaje proporcional a la señal Lexmark; sin embargo, los resultados no se reportan en el presente trabajo debido a que la señal de salida del charge pump produjo un voltaje que anuló el efecto del bloque modulador y evitó la modulación en frecuencia de la señal de reloj. Como trabajo a futuro se requiere encontrar el punto óptimo dentro del lazo de control para generar la modulación de espectro disperso. Para tomar ventaja del modo de corriente del modulador se pretende modificar la corriente de polarización en alguna rama del sistema.

REFERENCIAS

- [1] R.C. Chang and L.C. Kuo, “*A new Low-Voltage for PLL*”, IEEE International Symposium of Circuits and System ISCAS, Switzerland, May 2-5,2000, pp. 701-703.
- [2] Esdras Juárez-Hernández and Alejandro Díaz Sánchez, “*Positive Feedback CMOS Charge-Pump Circuits for PLL Applications*”, Proceedings of MWSCAS 2001, Dayton, USA, 2001, pages 836-839.
- [3] Esdras Juárez-Hernández and Alejandro Díaz Sánchez, “*A 1.35 GHz CMOS Wideband Frequency Synthesizer for Mobile Communications*”, IEEE Circuits and Systems ISCAS, 2003, volume 2 pages 292-295.
- [4] Roubik Gregorian, “*Introduction to Cmos Op-Amps and Comparators*”, John Wiley and Sons. 1999. ED. John Wiley & Sons, Inc.
- [5] Jonh G. Maneatis “*Low-Jitter Process-Independent DLL and PLL Based on self-Biased Techniques*”, IEEE Journal of Solid-State Circuits, vol. 31, no.11, November 1996.
- [6] Santolaria Lorenzo, J. A., “*SSCG Methods of EMI Emissions Reduction Applied to Switching Power Converters*”, Universidad Politécnica de Catalunya, Junio 2004.
- [7] Lin, F., Chen, D. Y., “*Reduction of Power Supply Emission by Switching Frequency Modulation*”, IEEE Transactions on Power Electronics, vol. 9, pp. 132 – 137, January 1994.
- [8] Hardin, K. B., Fessler, J. T., Bush, D. R., “*Spread Spectrum Clock Generation for the Reduction of Radiated Emissions*”, IEEE Symposium on Electromagnetic Compatibility, pp. 227 – 231, 1994.
- [9] Hardin, K. B. et al., “*Investigation Into the Interference Potential of Spread-Spectrum Clock Generation to BroadBand Digital Communications*”, IEEE Transactions on Electromagnetic Compatibility, vol.45, no.1, February 2003.
- [10] Geiger, R. L., Allen, P. E., Strader, N. R., “*VLSI Design Techniques for Analog and Digital Circuits*”, McGraw-Hill, 1990.
- [11] Uyemura, J. P., “*CMOS Logic Circuits Design*”, Kluwer Academic Publishers, 1999.
- [12] Ramírez-Angulo, J., Robinson, M., Sánchez-Sinencio, E., “*Current-Mode Continuous-Time Filters: Two Design Approaches*”, IEEE Transactions on Circuits and Systems, vol.39, no.6, June 1992.
- [13] Sang-Soo, L., Zele, R.H., Allstot, D.J., Liang, G. “*CMOS Continuous-Time Current-Mode Filters for High-Frequency Applications*”, IEEE Journal of Solid-State Circuits, vol.28, no.3, March 1993.
- [14] Silva-Martínez, J., Vázquez-González, A., “*Impedance Scalers for IC Active Filters*”, IEEE Proceedings, ISCAS’98, vol.1, pp. 151 – 154, June 1998.
- [15] Shu, K., Sánchez-Sinencio, Edgar, “*CMOS PLL Synthesizers*”, Springer, Boston, 2005.
- [16] Maloberti, F. “*Analog design for CMOS VLSI Systems*”, Ed. Kluwer, 2001

APENDICE A

Parámetros de diseño para la tecnología AMIS CMOS de 0.5μm

PARÁMETROS DEL TRANSISTOR	W/L	NMOSL	PMOS	UNIDADES
MINIMUM	3.0/0.6			
V _{th}		0.76	-0.93	volts
SHORT	20.0/0.6			
I _{dss}		466	-253	uA/um
V _{th}		0.65	-0.91	volts
V _{pt}		10.0	-10.0	volts
WIDE	20.0/0.6			
I _{ds0}		< 2.5	< 2.5	pA/μm
LARGE	50/50			
V _{th}		0.67	-0.97	volts
V _{jbkd}		11.1	-11.6	volts
I _{ijk}		<50.0	<50.0	pA
Gamma		0.49	0.58	\sqrt{V}
K' (U _o *Cox/2)		56.6	-18.9	μA/V ²
Low-field Mobility		468.79	156.54	cm ² /V*s